

明 細 書

送受信間の遅延時間を高い時間分解能で任意に可変できる小型で且つ消費電力が少ない短パルスレーダ及びその制御方法

技術分野

[0001] 本発明は短パルスレーダ及びその制御方法に係り、特に、幅の狭いパルス波（短パルス波）を所定周期で空間に放射し、空間にある物体からの反射波を受信して検波し、その検波出力に基づいて空間にある物体の解析を行う短パルスレーダ（short range radars）のうち、特に、車載用レーダ（automotive radars）や視覚障害者の歩行支援用レーダ等のために割り当てられている22 ～26 GHzの準ミリ波帯（UWB: Ultra-wideband）で用いる短パルスレーダを簡易な小型の構成で実現し、且つ、低消費電力化すると共に、距離分解能を高くするために送受信間の遅延時間を高い時間分解能で任意に可変できるようにする技術を採用した短パルスレーダ及びその制御方法に関する。

背景技術

[0002] 従来より知られているパルス波を用いて空間の物体を探索するパルスレーダは、基本的に図10に示すような構成を有している。

[0003] すなわち、この図10に示すパルスレーダ10において、送信部11は、後述する制御部16から所定周期 T_g で出力されるトリガ信号 G を受けると、該トリガ信号 G に同期した所定幅及び所定のキャリア周波数を有するパルス波 P_t を生成して送信アンテナ11aを介して空間へ放射する。

[0004] このパルス波 P_t は空間1にある物体1aによって反射され、その反射波 P_r が、受信アンテナ12aで受信された後、受信部12によって検波される。

[0005] 信号処理部15は、例えば、送信部11からパルス波が送出されたタイミングを基準タイミングとして、受信部12から検波出力 D が出力されるタイミングや、その出力波形に基づいて、空間1に存在する物体1aの解析を行う。

[0006] 制御部16は、信号処理部15の処理結果等に基づいて、送信部11及び受信部12に対する各種の制御を行う。

[0007] なお、このようなパルスレーダ10の基本的な構成は、次の特許文献1、2に開示されている。

特許文献1:特開平7-012921号公報

特許文献2:特開平8-313619号公報 このような基本構成を有するパルスレーダのうち、近年実用化されつつある車載用レーダとしては、次のような二つのタイプのパルスレーダが考えられている。

[0008] 第1のタイプのパルスレーダは、ミリ波帯(77GHz)を用い、高出力で、遠距離の狭い角度範囲を探索して、自動車の衝突防止や走行制御等の高速走行時の支援を目的として開発が進められている。

[0009] 第2のタイプのパルスレーダは、準ミリ波(22~26GHz)を用い、低出力で近距離の広い角度範囲を探索し、自動車の死角補助、車庫入れ補助等、低速走行時の支援を目的として開発が進められている。

[0010] この第2のタイプのパルスレーダに用いられる準ミリ波帯は、一般に、UWB(Ultra-wideband)と呼ばれ、車載用レーダだけでなく、医療用レーダ、視覚障害者の歩行支援用レーダや近距離通信システム等にも使用されている。

[0011] UWBは広帯域であるので、レーダシステムにおいては、幅1ns以下の短パルスを用いることができ、距離分解能が高い短パルスレーダを実現可能とすることが期待されている。

発明の開示

[0012] しかしながら、実際に、このUWBを用いた距離分解能が高い短パルスレーダを実現するためには、後述するような解決すべき種々の問題がある。

[0013] その重要な課題の一つは、探索範囲全体のうち所望距離領域からの反射波を選択的に受信する動作モードで、高い距離分解能を得られるようにする必要がある。

[0014] すなわち、このような所望距離領域からの反射波を選択的に受信する動作モードを実現する場合、短パルスを空間に放射してから、空間に存在する物体からの反射波の受信を開始するまでの時間遅延を、少なくとも短パルス波の幅(例えば、1ns)の分解能で正確に生成する必要がある。

[0015] 従来、このような高い時間分解能の遅延時間を任意に得るために、それぞれ、遅延

時間が異なる多数の固定遅延線を組合せる手法が用いられている。

[0016] しかるに、このような多数の固定遅延線を組合せる手法は、短パルスレーダとしての装置構成が大型化してしまうので、各種車両への組み込みや携帯利用などを考慮する必要があるUWBを用いた短パルスレーダには適さないという問題がある。

[0017] また、遅延線はその遅延時間が長いものほど誤差が大きくなり、前記したように、複数の固定遅延線を組合せにより所望の遅延時間を得ようとしても、誤差が大きくなってしまうので、多数の固定遅延線を組合せる手法ではUWBを用いた距離分解能が高い短パルスレーダを実現することができなくなってしまうという問題がある。

[0018] 一方、電氣的に任意の遅延時間を得る方法として、高速のクロック信号をカウンタで計数し、その計数値が予め設定した値に等しくなったタイミングにおいて、受信を開始する構成も可能である。

[0019] しかるに、電氣的に任意の遅延時間を得る方法では、上記したように、1nsの分解能で任意の遅延時間を得るためには、1GHzの多数桁カウンタが必要となるので、その消費電力が非常に大きくなってしまうという問題がある。

[0020] また、このようなカウンタを用いて電氣的に任意の遅延時間を得る方法によって遅延時間の粗調整を行うと共に、上述したよう多数の固定遅延線を組合せる手法により微調整を行うようにする併用方法も考えられる。

[0021] しかるに、このような併用方法では、前記した多数の固定遅延線の切り換えの構成が短パルスレーダとしての装置構成の大型化を招いてしまうという問題がある。

[0022] 本発明は、以上のような従来技術による問題を解決するためになされたものであり、簡単な構成、低消費電力で且つ送受信間の遅延時間を高い時間分解能で任意に変えられるようにした短パルスレーダ及びその制御方法を提供することを目的としている。

[0023] 上記目的を達成するために、本発明の第1の態様によると、
送信トリガ信号(G_t)を受ける毎に、所定幅の短パルス波(P_t)を空間(1)へ放射する送信部(21)と、
受信トリガ信号(G_m)を受けて、前記短パルス波(P_t)の反射波(P_m)に対する受信検波処理を行う受信部(30)と、

外部から指定される周波数データ(D_f)に対応した周波数の信号を出力するダイレクトデジタルシンセサイザ(41a)を含み、前記周波数データに応じて周期が変化する可変周期パルス(P_d , P_d')を発生する可変周期パルス発生器(41)と、

前記可変周期パルス発生器(41)によって発生される前記可変周期パルス(P_d , P_d')を受けて、探査指示が入力されてから、前記可変周期パルスのレベルが最初に所定方向に遷移するタイミングを基準タイミングとし、該基準タイミングにレベルが所定方向に遷移する第1パルスを前記送信トリガ信号(G_t)として出力する第1パルス発生回路(42)と、

前記可変周期パルス発生器(41)によって発生される前記可変周期パルス(P_d')を受けて、前記基準タイミング後に、前記可変周期パルスのレベルが前記最初の所定方向と逆に遷移したタイミングにレベルが所定方向に遷移する第2パルスを前記受信トリガ信号(G_r)として出力する第2パルス発生回路(44)と、

前記可変周期パルス発生器(41)と、前記第1パルス発生回路(42)と、前記第2パルス発生回路(44)とを含み、前記可変周期パルス発生器(41)が前記探査指示を受ける毎に、前記第1パルス発生回路(42)から前記送信部(21)に対して前記送信トリガ信号(G_t)を出力すると共に、送受信間の遅延時間(T_r)を与えるために、該送信トリガ信号(G_t)に対して任意の時間遅延した信号を前記第2パルス発生回路(44)から前記受信トリガ信号(G_r)として前記受信部(30)に出力するトリガ信号発生部(40)と、

予め、前記周波数データ(D_f)と前記送受信間の遅延時間(T_r)との関係が計算式や計算結果のテーブル形式で記憶されているメモリ(53a)を含み、該メモリ(53a)に記憶されている前記周波数データ(D_f)と前記送受信間の遅延時間(T_r)との関係に基づいて、前記可変周期パルス発生器(41)の前記ダイレクトデジタルシンセサイザ(41a)への前記周波数データ(D_f)を可変することにより、前記送信トリガ信号(G_t)に対する前記受信トリガ信号(G_r)の遅延時間を任意に可変できるようにする周波数データ可変部(53)と、

を具備する短パルスレーダが提供される。

[0024] また、上記目的を達成するために、本発明の第2の態様によると、

前記第1パルス発生回路(42)からの第1パルスに固定時間の遅延(T_k)を与えて前記送信トリガ信号(G_t)として出力する固定遅延回路(43)をさらに具備し、

前記第2パルス発生回路(44)は、前記可変周期パルス発生器によって発生される前記可変周期パルスを受けて、前記基準タイミングから、前記可変周期パルス発生器(41)からの前記可変周期パルスの周期の $1/2$ の整数倍に等しく、且つ前記固定時間よりも長い時間が経過したタイミングにおいて前記受信トリガ信号(G_r)を出力することを特徴とする第1の態様に従う短パルスレーダが提供される。

[0025] また、上記目的を達成するために、本発明の第3の態様によると、

前記受信部(30)は、

前記送信部(21)によって前記空間(1)に放射された前記短パルス波(P_t)の反射波(P_r)の信号(R')を第1及び第2の信号(V_1 , V_2)に同相分岐する分岐回路(35)と、

前記分岐回路(35)によって同相分岐された前記第1及び第2の信号(V_1 , V_2)同士を線形乗算する線形乗算器(36)と、

前記線形乗算器(36)からの出力信号からベースバンド成分を抽出する低域通過フィルタ(37)とによって構成されている検波回路(34)を有し、

前記短パルスレーダは、

前記受信部(30)からの出力に基づいて、前記空間(1)に存在する物体(1a)の解析処理を行う信号処理部(51)と、

前記信号処理部(51)からの解析結果に基づいて、前記送信部(21)及び前記受信部(30)の少なくとも一方に対して所定の制御を行う制御部(52)と、

をさらに具備することを特徴とする第1の態様に従う短パルスレーダが提供される。

[0026] また、上記目的を達成するために、本発明の第4の態様によると、

前記検波回路(34)の前記線形乗算器(36)がギルバートミキサで構成されていることを特徴とする第3の態様に従う短パルスレーダが提供される。

[0027] また、上記目的を達成するために、本発明の第5の態様によると、

前記受信部(30)は、前記検波回路(34)の出力信号に対する積分を実行し、その積分結果を保持出力するサンプルホールド回路(38)を有していることを特徴とする第3

の態様に従う短パルスレーダが提供される。

- [0028] また、上記目的を達成するために、本発明の第6の態様によると、
前記制御部(52)が、前記サンプルホールド回路(38)の積分開始タイミング及び積分時間を前記信号処理部(51)からの処理結果に基づいて可変制御することを特徴とする第5の態様に従う短パルスレーダが提供される。
- [0029] また、上記目的を達成するために、本発明の第7の態様によると、
前記送信部(21)には、前記短パルス波を増幅する電力増幅器(25)が設けられていると共に、
前記受信部(30)には、前記反射波(P_r)の信号(R)を増幅する低雑音増幅器(32)が設けられており、
前記制御部(52)は、前記前記受信部(30)において、前記検波回路(34)に入力される前記反射波(P_r)の信号(R')のレベルが前記線形乗算器(36)の線形動作範囲内となるように、前記送信部(21)に設けられる前記電力増幅器(25)と前記受信部(30)に設けられる前記低雑音増幅器(32)との少なくとも一方の利得を制御することを特徴とする第3の態様に従う短パルスレーダが提供される。
- [0030] また、上記目的を達成するために、本発明の第8の態様によると、
前記送信部(21)には、所定幅のパルス信号(P_a)を発生するパルス発生器(23)と、該パルス発生器(23)からの前記パルス信号(P_a)が入力されている期間だけ発振動作して前記短パルス波(P_t)としての出力信号(P_b)を出力し、前記パルス信号(P_a)が入力されていない期間は発振動作を停止する発振器(24)とが設けられていることを特徴とする第1の態様に従う短パルスレーダが提供される。
- [0031] また、上記目的を達成するために、本発明の第9の態様によると、
送信トリガ信号(G_t)を受ける毎に、所定幅の短パルス波(P_t)を空間(1)へ放射する送信部(21)と、
受信トリガ信号(G_r)を受けて前記短パルス波(P_t)の反射波(P_r)に対する受信検波処理を行う受信部(30)と、
探査指示に基づいて、外部から指定される周波数データ(D_f)に対応した周波数の信号を出力するダイレクトデジタルシンセサイザ(41a)を含み、前記周波数データ(D

f) に応じて周期が変化する可変周期パルスが発生する可変周期パルス発生器 (41) と、

前記可変周期パルス発生器 (41) によって発生される前記可変周期パルスを受けて、前記基準タイミングから、前記可変周期パルスの立ち上がりまたは立ち下りのタイミングを基準タイミングとし、該基準タイミングから第1パルスを出力する第1パルス発生回路 (42) と、

前記第1パルス発生回路 (42) からの第1パルスに固定時間の遅延 (T_k) を与えて前記送信トリガ信号 (G_t) として出力する固定遅延回路 (43) と、

前記可変周期パルス発生器 (41) によって発生される前記可変周期パルスを受けて、前記基準タイミングから、前記可変周期パルスの周期の $1/2$ の整数倍に等しく、且つ前記固定時間より長い時間が経過したタイミングに前記受信トリガ信号 (G_r) を出力する第2パルス発生回路 (44) と、

前記可変周期パルス発生器 (41) と、前記第1パルス発生回路 (42) と、前記固定遅延回路 (43) と、前記第2パルス発生回路 (44) とを含み、前記可変周期パルス発生器 (41) が前記探査指示を受ける毎に、前記固定遅延回路 (43) から前記送信部 (21) に対して前記送信トリガ信号 (G_t) を出力すると共に、送受信間の遅延時間 (T_r) を与えるために、該送信トリガ信号 (G_t) に対して任意の時間遅延した信号を前記第2パルス発生回路 (44) から前記受信トリガ信号 (G_r) として前記受信部 (30) に出力するトリガ信号発生部 (40) と、

予め、前記周波数データ (D_f) と前記送受信間の遅延時間 (T_r) との関係が計算式や計算結果のテーブル形式で記憶されているメモリ (53a) を含み、該メモリ (53a) に記憶されている前記周波数データ (D_f) と前記送受信間の遅延時間 (T_r) との関係に基づいて、前記可変周期パルス発生器 (41) の前記ダイレクトデジタルシンセサイザ (41a) への前記周波数データ (D_f) を可変することにより、前記送信トリガ信号 (G_t) に対する前記受信トリガ信号 (G_r) の遅延時間を任意に可変できるようにする周波数データ可変部 (53) と、

を具備する短パルスレーダが提供される。

[0032] また、上記目的を達成するために、本発明の第10の態様によると、

前記第1パルス発生回路(42)は、前記基準タイミングからレベルが立ち上がる第1パルスを出し、

前記第2パルス発生回路(44)は、前記可変周期パルス発生器(41)によって発生される前記可変周期パルスを受けて、前記基準タイミングから、前記可変周期パルスの周期の1/2の整数倍に等しく、且つ前記固定時間よりも長い時間が経過したタイミングにレベルが立ち上がる信号を前記受信トリガ信号(G_r)として出力することを特徴とする第9の態様に従う短パルスレーダが提供される。

[0033] また、上記目的を達成するために、本発明の第IIIの態様によると、

前記受信部(30)は、

前記送信部(21)によって前記空間(1)に放射された前記短パルス波(P_t)の前記反射波(P_r)の信号(R')を第1及び第2の信号(V_1 , V_2)に同相分岐する分岐回路(35)と、

前記分岐回路(35)によって同相分岐された前記第1及び第2の信号(V_1 , V_2)同士を線形乗算する線形乗算器(36)と、

前記線形乗算器(36)からの出力信号からベースバンド成分を抽出する低域通過フィルタ(37)とによって構成されている検波回路(34)を有し、

前記短パルスレーダは、

前記受信部(30)からの出力に基づいて、前記空間(1)に存在する物体(1a)の解析処理を行う信号処理部(51)と、

前記信号処理部(51)からの解析結果に基づいて、前記送信部(21)及び前記受信部(30)の少なくとも一方に対して所定の制御を行う制御部(52)と、

をさらに具備することを特徴とする第9の態様に従う短パルスレーダが提供される。

[0034] また、上記目的を達成するために、本発明の第12の態様によると、

前記検波回路(34)の前記線形乗算器(36)がギルバートミキサで構成されていることを特徴とする第IIIの態様に従う短パルスレーダが提供される。

[0035] また、上記目的を達成するために、本発明の第13の態様によると、

前記受信部(30)は、前記検波回路(34)の出力信号に対する積分を行い、その積分結果を保持出力するサンプルホールド回路(38)を有していることを特徴とする第1

1の態様に従う短パルスレーダが提供される。

[0036] また、上記目的を達成するために、本発明の第14の態様によると、

前記制御部(52)が、前記サンプルホールド回路(38)の積分開始タイミング及び積分時間を前記信号処理部(51)からの処理結果に基づいて可変制御することを特徴とする第13の態様に従う短パルスレーダが提供される。

[0037] また、上記目的を達成するために、本発明の第15の態様によると、

前記送信部(21)には、前記短パルス波(P_t)を増幅する電力増幅器(25)が設けられておりと共に、

前記受信部(30)には、前記反射波(P_r)の信号(R)を増幅する低雑音増幅器(32)が設けられており、

前記制御部(52)は、前記前記受信部(30)において、前記検波回路(34)に入力される前記反射波(P_r)の信号(R')のレベルが前記線形乗算器(36)の線形動作範囲内となるように、前記送信部(21)に設けられる前記電力増幅器(25)と前記受信部(30)に設けられる前記低雑音増幅器(32)との少なくとも一方の利得を制御することを特徴とする第14の態様に従う短パルスレーダが提供される。

[0038] また、上記目的を達成するために、本発明の第16の態様によると、

前記送信部(21)には、所定幅のパルス信号(P_a)を発生するパルス発生器(23)と、該パルス発生器(23)からの前記パルス信号(P_a)が入力されている期間だけ発振動作して前記短パルス波(P_t)としての出力信号(P_b)を出力し、前記パルス信号(P_a)が入力されていない期間は発振動作を停止する発振器(24)とが設けられていることを特徴とする第9の態様に従う短パルスレーダが提供される。

[0039] また、上記目的を達成するために、本発明の第17の態様によると、

送信部(21)及び受信部(30)を準備するステップと、

前記送信部(21)によって、送信トリガ信号(G_t)を受ける毎に、所定幅の短パルス波(P_t)を空間(1)へ放射するステップと、

前記受信部(30)によって、受信トリガ信号(G_r)を受けて、前記短パルス波(P_t)の反射波(P_r)に対する受信検波処理を行うステップと、

探査指示に基づいて、外部から指定される周波数データ(D_f)に対応した周波数の

信号を出力するダイレクトデジタルシンセサイザ(41a)を用いて、前記周波数データに応じて周期が変化する可変周期パルスが発生するステップと、

前記可変周期パルスのレベルが最初に所定方向に遷移するタイミングを基準タイミングとし、該基準タイミングにレベルが所定方向に遷移する第1パルスを前記送信トリガ信号(G_t)として出力するステップと、

前記基準タイミング後、前記可変周期パルスのレベルが前記最初の所定方向と逆に遷移したタイミングにレベルが所定方向に遷移する第2パルスを前記受信トリガ信号(G_r)として出力するステップと、

前記可変周期パルスが発生するステップと、前記第1パルスを前記送信トリガ信号(G_t)として出力するステップと、前記第2パルスを前記受信トリガ信号(G_r)として出力するステップとを含み、前記可変周期パルスが発生するステップにおいて前記探索指示を受ける毎に、前記第1パルスを前記送信トリガ信号として出力するステップにおいて前記送信部(21)に対して前記送信トリガ信号(G_t)を出力すると共に、送受信間の遅延時間(T_r)を与えるために、該送信トリガ信号(G_t)に対して任意の時間遅延した信号を前記第2パルスを前記受信トリガ信号として出力するステップにおいて前記受信トリガ信号(G_r)として前記受信部(30)に出力するステップと、

予め、前記周波数データ(D_f)と前記送受信間の遅延時間(T_r)との関係を計算式や計算結果のテーブル形式でメモリ(53a)に記憶するステップと、

前記メモリ(53a)に記憶されている前記周波数データ(D_f)と前記送受信間の遅延時間(T_r)との関係に基づいて、前記可変周期パルスが発生するステップで用いられる前記ダイレクトデジタルシンセサイザ(41a)への前記周波数データ(D_f)を可変することにより、前記送信トリガ信号(G_t)に対する前記受信トリガ信号(G_r)の遅延時間を任意に可変できるようにするステップと、

を具備する短パルスレーダの制御方法が提供される。

[0040] また、上記目的を達成するために、本発明の第18の態様によると、

前記第1パルスを前記送信トリガ信号(G_t)として出力するステップは、固定遅延回路(43)により前記第1パルスに固定時間の遅延を与えるステップを有し、

前記第2パルスを前記受信トリガ信号(G_r)として出力するステップは、前記基準タ

イミングから、前記可変周期パルスの周期の $1/2$ の整数倍に等しく、且つ前記固定時間よりも長い時間が経過したタイミングにおいて前記受信トリガ信号(G_r)を出力することを特徴とする第17の態様に従う短パルスレーダが提供される。

- [0041] また、上記目的を達成するために、本発明の第19の態様によると、
前記受信検波処理を行つたステップは、
前記空間(1)に放射された前記短パルス波(P_t)の前記反射波(P_r)を前記受信部(30)によって受信し、該反射波(P_r)の信号(R')を第1及び第2の信号(V_1 , V_2)に同相分岐するステップと、
前記第1及び第2の信号(V_1 , V_2)同士を線形乗算器(36)によって線形乗算して線形乗算信号を出力するステップと、
前記線形乗算信号からベースバンド成分を抽出するステップと、
前記ベースバンド成分に基づいて、前記空間(1)に存在する物体(1a)の解析処理を行つたステップと、
前記解析処理の結果に基づいて、前記送信部(21)及び前記受信部(30)の少なくとも一方に対して所定の制御を行つたステップと、
を具備することを特徴とする第17の態様に従う短パルスレーダの制御方法が提供される。

- [0042] また、上記目的を達成するために、本発明の第20の態様によると、
前記線形乗算信号を出力するステップは、
前記線形乗算器(36)としてギルバートミキサを用いて前記線形乗算信号を出力するための線形乗算を行つたステップを備えていることを特徴とする第19の態様に従う短パルスレーダの制御方法が提供される。

- [0043] また、上記目的を達成するために、本発明の第21の態様によると、
前記解析処理を行つたステップの前で、前記ベースバンド成分に対する積分を行つと共に、その積分結果を保持出力するステップをさらに具備していることを特徴とする第19の態様に従う短パルスレーダの制御方法が提供される。

- [0044] また、上記目的を達成するために、本発明の第22の態様によると、
前記ベースバンド成分に対する積分を行つたステップは、

前記ベースバンド成分に対する積分の開始タイミング及び積分時間を前記解析処理の結果に基づいて可変制御するステップを備えていることを特徴とする第21の態様に従う短パルスレーダの制御方法が提供される。

- [0045] また、上記目的を達成するために、本発明の第23の態様によると、
前記送信部(21)には、前記短パルス波(P_t)を増幅する電力増幅器(25)が設けられておりと共に、
前記受信部(30)には、前記反射波(P_r)の信号(R)を増幅する低雑音増幅器(32)が設けられており、
前記所定の制御を行うステップは、
前記前記受信部(30)において、前記反射波(P_r)の信号(R')のレベルが前記線形乗算器(36)の線形動作範囲内となるように、前記送信部(21)に設けられている前記電力増幅器(25)と前記受信部(30)に設けられている前記低雑音増幅器(32)との少なくとも一方の利得を制御するステップを備えていることを特徴とする第19の態様に従う短パルスレーダの制御方法が提供される。
- [0046] また、上記目的を達成するために、本発明の第24の態様によると、
前記送信部(21)によって前記短パルス波(P_t)を前記空間(1)へ放射するステップは、
所定幅のパルス信号(P_a)を発生するステップと、
前記パルス信号(P_a)が入力されている期間だけ発振動作して前記短パルス波(P_t)としての出力信号(P_b)を出力するステップと、
前記パルス信号(P_a)が入力されていない期間は発振動作を停止して前記短パルス波(P_t)としての出力信号(P_b)を出力しないようにするステップとを備えていることを特徴とする第17の態様に従う短パルスレーダの制御方法が提供される。
- [0047] 上記目的を達成するために、本発明の第25の態様によると、
送信部(21)及び受信部(30)を準備するステップと、
前記送信部(21)によって、送信トリガ信号(G_t)を受ける毎に、所定幅の短パルス波(P_t)を空間(1)へ放射するステップと、
前記受信部(30)によって、受信トリガ信号(G_r)を受けて、前記短パルス波(P_t)の

反射波 (P_r) に対する受信検波処理を行うステップと、

探査指示に基づいて、外部から指定される周波数データ (D_f) に対応した周波数の信号を出力するダイレクトデジタルシンセサイザ (41a) を用いて、前記周波数データに応じて周期が変化する可変周期パルスが発生するステップと、

前記可変周期パルスの立ち上がりまたは立ち下りのタイミングを基準タイミングとし、該基準タイミングから第1パルスを出力するステップと、

前記第1パルスに固定時間の遅延を与えて前記送信トリガ信号 (G_t) として出力するステップと、

前記基準タイミングから、前記可変周期パルスの周期の $1/2$ の整数倍に等しく、且つ前記固定時間より長い時間が経過したタイミングにおいて前記受信トリガ信号 (G_r) を出力するステップと、

前記可変周期パルスが発生するステップと、前記第1パルスを出力するステップと、前記第1パルスに固定時間の遅延を与えて前記送信トリガ信号 (G_t) として出力するステップと、前記固定時間より長い時間が経過したタイミングにおいて前記受信トリガ信号 (G_r) として出力するステップとを含み、前記可変周期パルスが発生するステップにおいて前記探査指示を受ける毎に、前記第1パルスに固定時間の遅延を与えて前記送信トリガ信号として出力するステップにおいて前記送信部 (21) に対して前記送信トリガ信号 (G_t) を出力すると共に、送受信間の遅延時間 (T_r) を与えるために、該送信トリガ信号 (G_t) に対して任意の時間遅延した信号を前記固定時間より長い時間が経過したタイミングにおいて前記受信トリガ信号 (G_r) として出力するステップにおいて前記受信トリガ信号 (G_r) として前記受信部 (30) に出力するステップと、

予め、前記周波数データ (D_f) と前記送受信間の遅延時間 (T_r) との関係を計算式や計算結果のテーブル形式でメモリ (53a) に記憶するステップと、

前記メモリ (53a) に記憶されている前記周波数データ (D_f) と前記送受信間の遅延時間 (T_r) との関係に基づいて、前記可変周期パルスが発生するステップで用いられる前記ダイレクトデジタルシンセサイザ (41a) への前記周波数データ (D_f) を可変することにより、前記送信トリガ信号 (G_t) に対する前記受信トリガ信号 (G_r) の遅延時間を任意に可変できるようにするステップと、

を具備する短パルスレーダの制御方法が提供される。

- [0048] また、上記目的を達成するために、本発明の第26の態様によると、
前記第1パルスを発生するステップは、前記基準タイミングからレベルが立ち上がる
第1パルスを出力し、

前記固定時間より長い時間が経過したタイミングにおいて前記受信トリガ信号(G_め)
を出力するステップは、前記基準タイミングから、前記可変周期パルスの周期の1/2
の整数倍に等しく、且つ前記固定時間よりも長い時間が経過したタイミングにレベル
が立ち上がる信号を前記受信トリガ信号(G_r)として出力することを特徴とする第25の
態様に従う短パルスレーダが提供される。

- [0049] また、上記目的を達成するために、本発明の第27の態様によると、
前記受信検波処理を行うステップは、
前記空間(1)に放射された前記短パルス波(P_t)の前記反射波(P_r)を前記受信部
(30)によって受信し、該反射波(P_r)の信号(R')を第1及び第2の信号(V1, V2)
に同相分岐するステップと、

前記第1及び第2の信号(V1, V2)同士を線形乗算器(36)によって線形乗算して
線形乗算信号を出力するステップと、

前記線形乗算信号からベースバンド成分を抽出するステップと、

前記ベースバンド成分に基づいて、前記空間(1)に存在する物体(1a)の解析処
理を行うステップと、

前記解析処理の結果に基づいて、前記送信部(21)及び受信部(30)の少なくとも一
方に対して所定の制御を行うステップと、

を具備することを特徴とする第25の態様に従う短パルスレーダの制御方法が提供
される。

- [0050] また、上記目的を達成するために、本発明の第28の態様によると、
前記線形乗算信号を出力するステップは、
前記線形乗算器(36)としてギルバートミキサを用いて前記線形乗算信号を出力す
るための線形乗算を行うステップを備えていることを特徴とする第27の態様に従う短
パルスレーダの制御方法が提供される。

- [0051] また、上記 目的を達成 するために、本発 明の第29の態様 によると、
前記解析処理を行~~う~~ステップの前で、前記ベースバンド成分 に対する積分を行~~う~~と
共に、その積分結果を保持 出力するステップをさらに具備 していることを特徴とする
第27の態様 に従~~う~~短パルスレーダの制御方法が提供される。
- [0052] また、上記 目的を達成 するために、本発 明の第30の態様 によると、
前記ベースバンド成分 に対する積分を行~~う~~ステップは、
前記ベースバンド成分 に対する積分の開始タイミング及び積分 時間を前記解析処理
の結果 に基づいて可変制御 するステップを備 えていることを特徴とする第29の態
様 に従~~う~~短パルスレーダの制御方法が提供される。
- [0053] また、上記 目的を達成 するために、本発 明の第31の態様 によると、
前記送信部 (21) には、前記短パルス波 を増幅 する電力増幅器 (25) が設 けられて
いると共に、
前記受信部 (30) には、前記反射波 (Pr) の信号 (R) を増幅 する低雑音増幅器 (3
2) が設 けられており、
前記所定の制御を行~~う~~ステップは、
前記前記受信部 (30) において、前記反射波 (Pr) の信号 (R') のレベルが前記線
形乗算器 (36) の線形動作範囲内となるように、前記送信部 (21) に設 けられている
前記電力増幅器 (25) と前記受信部 (30) に設 けられている前記低雑音増幅器 (32)
との少なくとも一方の利得を制御 するステップを備 えていることを特徴とする第27の
態様 に従~~う~~短パルスレーダの制御方法が提供される。
- [0054] また、上記 目的を達成 するために、本発 明の第32の態様 によると、
前記送信部 (21) によって前記短パルス波 (Pt) を前記空間 (1) へ放射 するステップ
は、
所定幅のパルス信号 (Pa) を発生 するステップと、
前記パルス信号 (Pa) が入力されている期間だけ発振動作して前記短パルス波 (Pt
) としての出力信号 (Pb) を出力するステップと、
前記パルス信号 (Pa) が入力されていない期間は発振動作を停止して前記短パル
ス波 (Pt) としての出力信号 (Pb) を出力しないようにするステップとを備 えていることを

特徴とする第25の態様に従う短パルスレーダの制御方法が提供される。

[0055] このように、本発明の短パルスレーダ及びその制御方法では、ダイレクトデジタルシンセサイザ(DDS)を含む可変周期パルス発生器から出力される可変周期パルスが、探査指示を受けてから最初にレベル遷移したタイミングを基準タイミングとし、その基準タイミングまたはこの基準タイミングから固定時間分遅れてレベル遷移する信号を生成して送信トリガ信号として出力し、その出力タイミングから可変周期パルスの半周期分あるいはその整数倍遅延したタイミングにレベル遷移する信号を生成して受信トリガ信号として出力するように構成され、予め、メモリに記憶されている周波数データと送受信間の遅延時間との関係に基づいて、DDSの周波数データを可変することにより、送信トリガ信号と受信トリガ信号との間の遅延時間を可変できるようにしている。

[0056] このため、本発明の短パルスレーダ及びその制御方法によれば、簡単な構成で、低消費電力で且つ送受信間の遅延時間を高い時間分解能で任意に可変することができる。

図面の簡単な説明

[0057] [図1] 図1は、本発明による短パルスレーダの第1の実施形態のシステム構成を示すブロック図である。

[図2] 図2は、図1に示した第1の実施形態による短パルスレーダの送信部に用いられる発信器の一例を示すブロック図である。

[図3] 図3は、図2に示した発信器の動作説明図として発信器に入力される周期 T_g のパルス信号 P_a 及び発信器からバースト状に出力される矩形波の信号 P_b を示す図である。

[図4] 図4は、図1に示した第1の実施形態による短パルスレーダの受信部に用いられる検波回路の線形乗算器の一例として採用されるギルバートミキサの基本タイプを示す回路構成図である。

[図5] 図5は、図4に示したギルバートミキサの動作説明図としてギルバートミキサに同相でバースト状に入力される正弦状の信号 $S(t)$ 及びギルバートミキサから出力される2乗波 $S(t)^2$ とその包絡線(ベースバンド) W を示す図である。

[図6] 図6は、図1に示した第1の実施形態による短パルスレーダの受信部に用いられるサンプルホールド回路の原理的な構成を示す図である。

[図7] 図7は、図1に示した第1の実施形態による短パルスレーダのトリガ信号発生部の具体的な構成を示すブロック図である。

[図8] 図8は、図7に示したトリガ信号発生部の動作を説明するために示すタイミングチャートである。

[図9] 図9は、図7に示したトリガ信号発生部のダイレクトデジタルシンセサイザに供給する周波数データと送受信間の遅延時間との関係を示すグラフである。

[図10] 図10は、従来のパルスレーダの基本的な構成を示すブロック図である。

[図11] 図11は、図7に示したトリガ信号発生部のダイレクトデジタルシンセサイザに供給する周波数データ D_f と可変周期パルスの周波数 f_d 及び T_d 周期と、送受信間の遅延時間 T_r との関係を示すテーブルの一例である。

[図12] 図12は、図7に示したトリガ信号発生部のダイレクトデジタルシンセサイザに供給する周波数データ D_f を送受信間の遅延時間 T_r との関係において2進数表示で示した図である。

[図13] 図13は、本発明による短パルスレーダの第2の実施形態の要部の構成としてトリガ信号発生部の具体的な構成を示すブロック図である。

発明を実施するための最良の形態

[0058] 以下、本発明による短パルスレーダの幾つかの実施の形態について、図面を参照して説明する。

[0059] (第1の実施の形態)

まず、本発明の第1の実施の形態に係る短パルスレーダの構成について説明する。

[0060] 図1は、本発明の第1の実施の形態に係る短パルスレーダ20の構成を示すブロック図である。

[0061] 具体的には、この図1に示す短パルスレーダ20は、送信部21、受信部30、トリガ信号発生部40、アナログ／デジタル(A/D)変換器50、信号処理部51及び制御部52によって構成されている。

- [0062] 送信部21は、トリガ信号発生部40から所定周期 T_g で出力されるトリガ信号 G_t を受ける毎に、後述するようにして生成される所定幅 T_p (例えば、1ns)で所定のキャリア周波数 F_c (例えば、26GHz)の短パルス波 P_t を送信アンテナ22を介して空間1へ放射する。
- [0063] なお、送信アンテナ22は、後述する受信部30の受信アンテナ31と共用される場合もある。
- [0064] この送信部21は、図1に示しているように、トリガ信号発生部40からの送信トリガ信号 G_t のレベルが所定方向(例えば、立ち上がり方向)に遷移するタイミングに同期して幅 T_p のパルス信号 P_a を発生するパルス発生器23と、このパルス発生器23からパルス信号 P_a を受けている期間 T_p だけキャリア周波数 F_c を有する信号を発振出力する発振器24と、この発振器24からの出力信号を増幅して送信アンテナ22に供給する電力増幅器25と、この電力増幅器25からの出力信号に対して帯域外不要放射を抑圧するバンドリジェクションフィルタ(BRF)26とを有している。
- [0065] 図2は、図1に示した第1の実施形態による短パルスレーダの送信部21に用いられる発振器24の一つの構成例を示すブロック図である。
- [0066] すなわち、この発振器24は、図2に示すように、入力共通のAND回路とNAND回路とが一体化された2入力、2出力型のゲート回路24aと、それぞれ、このゲート回路24aの入力部に接続されたエミッタフォロア型の第1及び第2の入力バッファ24b、24cと、ゲート回路24aの出力部に接続された出力バッファ24d及びゲート回路24aの反転出力を所定の遅延時間だけ遅延して第1の入力バッファ24bに入力する遅延回路24eとを有している。
- [0067] ここで、発振器24は、マイクロ波モノリシック集積回路(MMIC)により1チップ化されている。
- [0068] なお、遅延回路24eは、例えば、ストリップライン等で構成されている。
- [0069] このように構成されている発振器24からは、図3の(a)に示すように、周期 T_g のパルス信号 P_a が入力バッファ24cに入力されている間、図3の(b)に示すように、所定の周波数(キャリア周波数)を有する矩形波の信号 P_b がバースト状に発振出力される。
- [0070] この発振器24からの出力信号 P_b の周波数は、入力バッファ24b及びゲート回路2

4aの入出力間の遅延時間と、遅延回路24eの遅延時間との合計で決まる。

[0071] ここで、入力バッファ24b及びゲート回路24aの入出力間の遅延時間は、一般的に、回路素子に依存して決まる固定値である。

[0072] したがって、ここでは、遅延回路24eの定数の一部を可変できるように構成し、この定数を調整することにより、発振器24の出力信号Pbの発振周波数を前記UWBのほぼ中心周波数(例えば、26GHz)に設定している。

[0073] この送信部21は、上記のようにパルス信号Paによって発振器24の発振動作そのものを制御する構成であるので、原理的にキャリア漏れは発生しない。

[0074] したがって、UWBの使用に際して規定されている電力密度の制限は、発振時に出力される短パルス波の瞬間パワーについてのみ考慮すればよく、規定されている電力を最大限有効に使用できる。

[0075] なお、上記した図2に示す発振器24の構成は一例であり、他の回路構成であってもよい。

[0076] その場合でも、発振のための帰還ループをパルス信号Paによって開閉したり、発振回路の電源(電流源等)をパルス信号Paによりオンオフすることにより、上記のようなキャリア漏れのないパースト波を得ることができる。

[0077] 以上のようにして発振器24から出力される信号Pbは、電力増幅器25により増幅された後、BRF26を介して所定のキャリア周波数Fc(例えば、26GHz)の短パルス波Ptとして送信アンテナ22に供給される。

[0078] これにより、送信アンテナ22からは前記した短パルス波Ptが探索対象の空間1に放射される。

[0079] なお、電力増幅器25の利得は、制御部52によって可変制御することができるようになっている。

[0080] 一方、受信部30は、空間1の物体1aからの反射波Prを受信アンテナ31を介して受信し、その反射波Prの信号Rを低雑音増幅器(LNA)32により増幅した後、帯域幅2GHz程度のバンドパスフィルタ(BPF)33により帯域制限された反射波Prの信号R'を検波回路34によって検波する。

[0081] なお、LNA32の利得は、制御部52によって可変制御することができるようになって

いる。

- [0082] 検波回路34は、BpF33から出力される反射波Prの信号ばを同相(0°)で第1の信号V1と第2の信号V2とに2分岐する分岐回路35と、その同相で2分岐された信号同士すなわち第1の信号V1と第2の信号V2とを線形乗算する線形乗算器36と、この線形乗算器36の出力信号からベースバンド成分Wを抽出する低域通過フィルタ(LpF)37とによって構成されている。
- [0083] 線形乗算器36には、二重平衡ミキサを用いる等いくつかの方式があるが、高速動作をするものとして、ギルバートミキサを用いて構成する方法が考えられる。
- [0084] このギルバートミキサは、図4に示すように、基本的には、第1乃至第3の差動増幅器36a、36b、36cからなる。
- [0085] そして、第1の差動増幅器36aに第1の信号V1を差動入力すると共に、この第1の差動増幅器36aの負荷側に接続された第2及び第3の差動増幅器36b、36cに第2の信号V2を差動入力することにより、第1の信号V1と第2の信号V2の積に等しい逆相の線形乗算信号成分 $-(V1 \times V2)$ 及び正相の線形乗算信号成分 $(V1 \times V2)$ のみが第2及び第3の差動増幅器36b、36cの共通負荷抵抗R3、R4から出力される。
- [0086] 具体的には、このギルバートミキサにおいて、第1の差動増幅器36aは、それぞれ、各ベース入力端と各コレクタ出力端及びエミッタ共通電流通路とを有する第1及び第2のトランジスタQ1、Q2を備え、第1の信号源V1に前記第1及び第2のトランジスタQ1、Q2の各ベース入力端が接続されると共に、エミッタ共通電流通路が定電流源I1及び第1のバイアス電源Vb1を直列に介してアースラインに接続されている。
- [0087] なお、第1及び第2のトランジスタQ1、Q2のエミッタ共通電流通路は、各エミッタ抵抗R1、R2の接続中点から導出されていると共に、第2のトランジスタQ1のベース入力端は、第2のバイアス電源Vb2を介してアースラインに接続されている。
- [0088] また、第2の差動増幅器36bは、それぞれ、各ベース入力端と各コレクタ出力端及びエミッタ共通電流通路とを有する第3及び第4のトランジスタQ3、Q4を備え、第2の信号源V2に前記第3及び第4のトランジスタQ3、Q4の各ベース入力端が接続されると共に、第1の差動増幅器36aの第1のトランジスタQ1のコレクタ出力端に第3及び第4のトランジスタQ3、Q4のエミッタ共通電流通路が接続されている。

- [0089] また、第3の差動増幅器36cは、それぞれ、各ベース入力端と各コレクタ出力端及びエミッタ共通電流通路とを有する第5及び第6のトランジスタQ5、Q6を備え、第2の信号源V2に第5及び第6のトランジスタQ5、Q6の各ベース入力端が接続されると共に、第1の差動増幅器36aの前記第2のトランジスタQ2のコレクタ出力端に第5及び第6のトランジスタQ5、Q6のエミッタ共通電流通路が接続されている。
- [0090] なお、第2の差動増幅器36bの第4のトランジスタQ4及び第3の差動増幅器36cの第5のトランジスタQ5の各ベース入力端は共通に接続されていると共に、第3のバイアス電源Vb3を介してアースラインに接続されている。
- [0091] また、第2の差動増幅器36bの第3のトランジスタQ3のコレクタ出力端と第3の差動増幅器36cの第5のトランジスタQ5のコレクタ出力端とが共通に負荷抵抗R3を介してアースラインに接続されていると共に、第1の出力端OUT1に接続されている。
- [0092] また、第2の差動増幅器36bの第4のトランジスタQ4のコレクタ出力端と第3の差動増幅器36cの第6のトランジスタQ6のコレクタ出力端とが共通に負荷抵抗R4を介してアースラインに接続されていると共に、第2の出力端OUT2に接続されている。
- [0093] これにより、第1及び第2の出力端OUT1、OUT2から第1及び第2の信号V1、V2の線形乗算出力 $-(V1 \times V2)$ または $(V1 \times V2)$ の少なくとも一方を導出可能となされている。
- [0094] このように構成されるギルバートミキサによる線形乗算器36に、第1及び第2の信号V1、V2として、例えば、図5の(a)に示すような正弦状の信号S(t)を同相でバースト状に入力すると、その出力信号は、図5の(b)に示すように、入力信号S(t)を2乗した波形 $(S(t)^2)$ となり、その包絡線(ベースバンド)Wは、入力信号S(t)の電力に比例している。
- [0095] このように検波回路34に用いられる複数の差動増幅器からなるギルバートミキサによる線形乗算器36は、マイクロ波モノリシック集積回路(MMIC)で極めて小型に構成することができ、しかも、従来の直交型の検波回路のようなローカル信号を供給する必要がないので、それだけ電力消費が少なくて済む。
- [0096] そして、以上のようにして検波回路34で得られたベースバンド信号Wは、サンプルホールド回路38に入力される。

- [0097] サンプルホールド回路38は、図6にその原理図を示すように、抵抗38aとコンデンサ38bによる積分回路にスイッチ38cを介してベースバンド信号Wを入力する構成を有している。
- [0098] そして、パルス発生器39からのパルス信号Pcがハイレベル(ローレベルでもよい)の間、スイッチ38cを閉じてベースバンド信号Wを積分し、パルス信号Pcがローレベルになると、スイッチ38cを開いてコンデンサ38bにより積分結果を保持する。
- [0099] なお、パルス発生器39は、トリガ信号発生部40から出力される受信トリガ信号Grを受ける毎に所定幅 T_c のパルス信号Pcを生成して、そのパルス信号Pcをサンプルホールド回路38に出力している。
- [0100] したがって、この受信部30は、受信トリガ信号Grを受けてから所定時間 T_c が経過するまでの間に受信された反射波Prに対する検波処理を行っている。
- [0101] なお、パルス発生器39からのパルス信号Pcの幅 T_c は、制御部52によって可変できるようにしている。
- [0102] サンプルホールド回路38で積分されて保持された信号Hは、その保持直後にA/D変換器50によってデジタル値に変換され、信号処理部51に入力される。
- [0103] 信号処理部51は、受信部30で得られた信号Hに基づいて、空間1に存在する物体1aについての解析を行い、その解析結果を図示しない出力機器(例えば、表示器、音声発生器)によって報知し、また制御に必要な情報を制御部52に通知する。
- [0104] 制御部52は、この短パルスレーダ20について予め決められたスケジュールプログラムにしたがって、あるいは、信号処理部51の処理結果に応じて、送信部21及び受信部30の少なくとも一方に対する各種制御を行う。
- [0105] また、制御部52は、トリガ信号発生部40に対して、探査を指示する信号(探査指示)S、探査距離領域に応じた遅延時間 T_r を決定する情報(後述する周波数データ D_f)を与えることにより、この短パルスレーダ20に対して所望の距離領域の探査を行わせる。
- [0106] トリガ信号発生部40は、制御部52から探査を指示する信号Sと、送受信間の遅延時間 T_r に対応する周波数データ D_f を受け、送信部21のパルス発生器23に対して送信トリガ信号Gtを出力すると共に、その送信トリガ信号Gtから遅延時間 T_r だけ経

過した後、受信トリガ信号Grを受信部30のパルス発生器39に出力する。

- [0107] このトリガ信号発生部40は、図7に示すように、可変周期パルス発生器41、第1パルス発生回路42、固定遅延回路43および第2パルス発生回路44を有している。
- [0108] 可変周期パルス発生器41は、ダイレクトデジタルシンセサイザ(DDS)41aと、低域通過フィルタ(LPF)41bと、波形整形回路41cと、クロック発生器41dとによって構成されている。
- [0109] このDDS41aには、内部のクロック発生器41dからの所定周波数 f_s (例えば、200MHz)のクロック信号Cと、制御部52から遅延時間 T_r に対応した所定ビット数L(例えば、 $L=32$)の周波数データ D_f とが供給される。
- [0110] DDS41aは、クロック信号Cと、周波数データ D_f を受けると、予め正弦波1周期分の波形データを記憶しているアドレス長Lの内部ROMに対して、周波数データ D_f をクロック信号Cの周期で積算した値でアドレス指定して波形データを順次読み出す。
- [0111] そして、DDS41aは、内部ROMから順次読み出した波形データを内部のデジタル／アナログ(D/A)変換器でアナログ信号に変換した後、クロック信号Cの周波数 f_s 、アドレス長Lおよび周波数データ D_f で決まる周波数 f_d を有する正弦波状(厳密には、正弦波に沿って階段状に変化する波形)の信号をLPF41bに出力する。
- [0112] LPF41bは、DDS41aからのD/A変換出力の高域成分(例えば、71MHz以上の成分)を除去して正弦波信号を生成し、その正弦波信号を波形整形回路41cに出力する。
- [0113] 波形整形回路41cは、正弦波信号に対する波形整形処理を行い、図8の(a)、(b)に示すように、デューティ比50%で互いにレベルが反転した周波数 f_d (周期 T_d)を有する2相の可変周期パルス P_d 、 P_d' を出力する。
- [0114] なお、ここでは、可変周期パルス発生器41が2相の可変周期パルス P_d 、 P_d' を出力する場合について説明するが、単相の可変周期パルス P_d または P_d' を出力する構成であってもよい。
- [0115] また、上記したDDS41aはD/A変換器を内蔵しているが、市販のDDSとしては、D/A変換器を含まないものや、LPF41b、波形整形回路41cまで含むものがあり、本発明ではそのいずれの形式のDDSであっても使用することができる。

[0116] 可変周期パルスPd、Pd' の周波数fdは、クロック周波数fsの1/2以下の範囲で、

$$fd = Df \cdot fs / 2^L$$

となり、周期Tdは、クロック周波数fsの周期Tsの2倍以上の範囲で、

$$Td = Ts \cdot 2^V / Df$$

となる。

[0117] ここで、周波数データDfの値がAからA+1に1ポイントだけ変化したときの周期Td
 の変化ΔT(時間分解能)は、次のように表すことができる。

$$\begin{aligned} \Delta T &= (Ts \cdot 2^L) \{ (1/A) - [1/(A+1)] \} \\ &= (Ts \cdot 2^L) \{ 1/[A(A+1)] \} \end{aligned}$$

上記式でAが1に比べて十分大きいとき、

$$\Delta T = (Ts \cdot 2^L) (1/A^2)$$

となる。

[0119] 例えば、Ts=5ns、2^L=2³²を概略値4×10⁹とし、A=1×10⁶とすると、

$$\Delta T = 20 / (1 \times 10^9) = 0.02 \text{ (ns)}$$

となる。

[0120] つまり、周波数データDfが1×10⁶の近傍での時間分解能は0.02nsとなる。また、
 A=10×10⁶の場合には0.2psとなり、これらのデータ設定範囲においては、短パ
 ルスの幅(1ns)に比べて、十分に小さい時間分解能が得られ、ほぼ連続的に周期を
 可変することができる。

[0121] この可変周期パルスPd、Pd' は、第1パルス発生回路42及び第2パルス発生回
 路44に出力される。

[0122] 第1パルス発生回路42は、可変周期パルスPd、Pd' を受けるフリップフロップ回路
 などで構成されている。

[0123] この第1パルス発生回路42では、図8の(c)に示すように、探査を指示する信号Sが
 入力されてから、可変周期パルスPdのレベルが最初に所定方向(例えば立ち下がり
 方向)に移るタイミングを基準タイミングとする。

[0124] そして、第1パルス発生回路42は、その基準タイミング(他方の可変周期パルスPd
 'の立ち上がりタイミング)に同期して、図8の(d)に示すように、レベルが所定方向(

例えば、立ち上がり方向)に遷移する第1パルスP1を生成して、この第1パルスP1を固定遅延回路43に出力する。

[0125] 固定遅延回路43は、例えば、遅延線で構成され、図8の(e)に示すように、第1パルスP1に固定の遅延時間Tk(例えば、7ns)を与えることにより、この固定の遅延時間Tkがあたえられた第1パルスP1を送信トリガ信号Gtとして送信部21に出力する。

[0126] 第2パルス発生回路44は、可変周期パルスPdを受けるフリップフロップ回路などで構成され、図8の(f)に示すように、第1パルスP1が立ち上がる基準タイミングから、可変周期パルスの周期Tdの1/2の整数倍Nに等しく且つ前記固定の遅延時間Tkより長い時間N・Td/2が経過したタイミングにおいてレベルが所定方向(例えば、立ち上がり方向)に遷移するパルスを受信トリガ信号Grとして出力する。

[0127] なお、図8はN=1の例を示している。

[0128] したがって、送信トリガ信号Gtの立ち上がりタイミングと、受信トリガ信号Grの立ち上がりタイミングとの時間差Trは、

$$T = (N \cdot T_d / 2) - T_k$$

となる。

[0129] よって、図8の中央部分に示しているように、可変周期パルスPd、Pd'の周期をTd'のように長くすれば、時間差をTr'のように長くすることができる。

[0130] 逆に、図8の右端部分に示しているように、周期をTd''のように短くすれば、時間差もTr''のように短くすることができる。

[0131] 図9は、N=1の場合における周波数データDfと時間差Trとの関係を表す曲線図である。

[0132] 図9中の曲線Pは、上記式のN=1における右辺第1項Td/2を示しており、これを周波数データDfを用いて表すと、以下のようになる。

$$P = T_d / 2 = T_s \cdot 2^{L-1} / D_f$$

また、固定遅延の分はQ=−Tkの直線で表され、両者の和(P+Q)を表す曲線Rが最終的な時間差Trの変化特性を表している。

[0134] 図9において、曲線Rが表す時間差Trは、P=−Tkとなる周波数データDf(0)で0と

なり、周波数データ D_f が0に近づくにつれて単調に増加する。

[0135] ここで、前記したように、固定遅延時間 T_k を 7ns とすれば、 $P = T_k$ となる周波数 f_d はほぼ 71MHz (この周波数は $LpF41b$ のカットオフ周波数に対応している)である。

[0136] そして、この周波数 f_d を与える周波数データ $D_f(0)$ は、

$$D_f(0) = (10/7) \times 10^9$$

となる。

[0137] また、図9において、前記したように、周波数データ D_f が 1×10^6 より大きい範囲では、周波数データ1ポイント当たりの時間変化は 0.02ns 以下でほぼ連続と見なせる程度に小さい。

[0138] また、図9において、周波数データ D_f が 1×10^6 のときの周期 T_d はほぼ $20\mu\text{s}$ である。

[0139] したがって、図9で示しているように、周波数データ D_f の $(10/7) \times 10^9 \sim 1 \times 10^6$ の範囲 W で、時間差 T_r を $0 \sim 20\mu\text{s}$ の範囲でほぼ連続的に可変することができる。

[0140] なお、この周波数データ D_f と送受信間の遅延時間 T_r との関係は、図7に示すように、周波数データ可変部53 (これは図1の制御部52または信号処理部51であってもよい)の内のメモリ53aに、計算式や計算結果のテーブルの形で予め記憶されているものとする。

[0141] すなわち、周波数データ可変部53 (制御部52または信号処理部51)は、探査が必要な距離領域に応じた遅延時間 T_r から周波数データ D_f を求めて可変周期パルス発生器41のDDS41aに与える。

[0142] 図11は、図7に示した可変周期パルス発生器41のDDS41aに供給する周波数データ D_f と可変周期パルスの周波数 f_d 及び T_d 周期と、送受信間の遅延時間 T_r との関係を示すテーブルの一例である。

[0143] すなわち、送受信間の遅延時間 T_r が指定されると、上記した $T_r = (T_d/2) - T_k$, $T_d = 1/f_d$ 及び $f_d = D_f \cdot f_s / 2^L$ の関係式及び $L = 32$, $N = 1$, $f_s = 200\text{MHz}$, $T_k = 7\text{ns}$ に基づいて、最終的に周波数データ D_f が求められる。

[0144] 図11では、 T_r が、それぞれ、 0ns , 9.982ns , $10\mu\text{s}$, 1001ns の場合についての例が示されている。

- [0145] この場合、 T_d は、それぞれ、 13.8 ns 、 33.96 ns 、 $20\text{ }\mu\text{s}$ 、 34.0 ns となる。
- [0146] また、 f_d は、それぞれ、 71.875 MHz 、 29.443 MHz 、 60.35 KHz 、 29.395 MHz となる。
- [0147] また、 D_f は、それぞれ、 1.54×10^9 、 6.32×10^9 、 1.08×10^9 、 6.31×10^8 となる。
- [0148] 図12は、図11の例における周波数データ D_f が、それぞれ、 1.54×10^9 、 6.32×10^9 、 1.08×10^9 、 6.31×10^8 の場合に、DDS41aに実際に供給される2進数表示を示した図である。
- [0149] すなわち、 $Tr = 0\text{ ns}$ のとき、DDS41aに実際に供給される周波数データ D_f (1.54×10^9)の2進数表示は0から31までの32ビットで表した場合、MSB側からLSB側にかけて、 $01\ 011\ 00\cdots 0$ となる。
- [0150] 同様に、 $Tr = 9.982\text{ ns}$ のとき、DDS41aに実際に供給される周波数データ D_f (1.54×10^9)の2進数表示は0から31までの32ビットで表した場合、MSB側からLSB側にかけて、 $0010010110110\cdots 0$ となる。
- [0151] 同様に、 $Tr = 10\text{ }\mu\text{s ns}$ のとき、DDS41aに実際に供給される周波数データ D_f (1.54×10^9)の2進数表示は0から31までの32ビットで表した場合、MSB側からLSB側にかけて、 $000000000001\ 00001\ 0\cdots 0$ となる。
- [0152] 同様に、 $Tr = 10\ 01\text{ ns}$ のとき、DDS41aに実際に供給される周波数データ D_f (1.54×10^9)の2進数表示は0から31までの32ビットで表した場合、MSB側からLSB側にかけて、 $001\ 001\ 01\ 01\ 0\cdots 0$ となる。
- [0153] そして、可変周期パルス発生器41のDDS41aは、上述したように、クロック信号Cと、周波数データ D_f とを受けると、予め、正弦波1周期分の波形データを記憶しているアドレス長Lの内部ROMに対して、周波数データ D_f をクロック信号Cの周期で積算した値でアドレス指定して波形データを順次読み出す。
- [0154] ここで、可変周期パルス発生器41のDDS41aが出力する信号の周波数は極めて安定であると共に、単一の固定遅延回路43しか使用していないので、上記のような図7に示したトリガ信号発生部40によって得られる時間差 Tr の精度も非常に高い。
- [0155] したがって、図7に示したようなトリガ信号発生部40を備えた短パルスレーダは距離

分解能が極めて高くなるので、安定なUWB帯の短パルスレーダを実現することに寄与することができる。

[0156] そして、前述した図1の構成及び図7の構成とを合わせてなる本発明に係る短パルスレーダ20は、基本的には、送信トリガ信号Gtを受ける毎に、所定幅の短パルス波(Pt)を空間1へ放射する送信部21と、受信トリガ信号Grを受けて前記短パルス波Ptの反射波Prに対する受信検波処理を行う受信部30と、探査指示に基づいて、外部から指定される周波数データDfに対応した周波数の信号を出力するダイレクトデジタルシンセサイザ41aを含み、前記周波数データDfに応じて周期が変化する可変周期パルスが発生する可変周期パルス発生器41と、前記可変周期パルス発生器41によって発生される前記可変周期パルスを受けて、前記可変周期パルスの立ち上がりまたは立ち下りのタイミングを基準タイミングとし、該基準タイミングから第1パルスを出力する第1パルス発生回路42と、前記第1パルス発生回路42からの第1パルスに固定時間の遅延を与えて前記送信トリガ信号Gtとして出力する固定遅延回路43と、前記可変周期パルス発生器41によって発生される前記可変周期パルスを受けて、前記基準タイミングから、前記可変周期パルスの周期の1/2の整数倍に等しく、且つ前記固定時間より長い時間が経過したタイミングに前記受信トリガ信号Grを出力する第2パルス発生回路44と、前記可変周期パルス発生器41と前記第1パルス発生回路42と前記固定遅延回路43と前記第2パルス発生回路44とを含み、前記可変周期パルス発生器41が前記探査指示を受ける毎に、前記固定遅延回路43から前記送信部21に対して前記送信トリガ信号Gtを出力すると共に、送受信間の遅延時間Trを与えるために、該送信トリガ信号Gtに対して任意の時間遅延した信号を前記第2パルス発生回路44から前記受信トリガ信号Grとして前記受信部30に出力するトリガ信号発生部40と、予め、前記周波数データDfと前記送受信間の遅延時間Trとの関係が計算式や計算結果のテーブル形式で記憶されているメモリ53aを含み、該メモリ53aに記憶されている前記周波数データDfと前記送受信間の遅延時間Trとの関係に基づいて、前記可変周期パルス発生器41の前記ダイレクトデジタルシンセサイザ41aへの前記周波数データDfを可変することにより、前記送信トリガ信号Gtに対する前記受信トリガ信号Grの遅延時間を任意に可変できるようにする周波数データ可変

部53とを有している。

[0157] また、前述した図1の構成及び図7の構成とを合わせてなる本発明に係る短パルスレーダ20の制御方法は、基本的には、送信部21及び受信部30を準備するステップと、前記送信部21によって、送信トリガ信号Gtを受ける毎に、所定幅の短パルス波Ptを空間1へ放射するステップと、前記受信部30によって、受信トリガ信号Grを受けて、前記短パルス波Ptの反射波Prに対する受信検波処理を行うステップと、探索指示に基づいて、外部から指定される周波数データDfに対応した周波数の信号を出力するダイレクトデジタルシンセサイザ41aを用いて、前記周波数データに応じて周期が変化する可変周期パルスを発生するステップと、前記可変周期パルスの立ち上がりまたは立ち下りのタイミングを基準タイミングとし、該基準タイミングから第1パルスを出力するステップと、前記第1パルスに固定時間の遅延を与えて前記送信トリガ信号Gtとして出力するステップと、前記基準タイミングから、前記可変周期パルスの周期の1/2の整数倍に等しく、且つ前記固定時間より長い時間が経過したタイミングにおいて前記受信トリガ信号Grを出力するステップと、前記可変周期パルスを発生するステップと前記第1パルスを出力するステップと前記第1パルスに固定時間の遅延を与えて前記送信トリガ信号Gtとして出力するステップと前記固定時間より長い時間が経過したタイミングにおいて前記受信トリガ信号Grとして出力するステップとを含み、前記可変周期パルスを発生するステップにおいて前記探索指示を受ける毎に、前記第1パルスに固定時間の遅延を与えて前記送信トリガ信号Gtとして出力するステップにおいて前記送信部21に対して前記送信トリガ信号Gtを出力すると共に、送受信間の遅延時間Trを与えるために、該送信トリガ信号Gtに対して任意の時間遅延した信号を前記固定時間より長い時間が経過したタイミングにおいて前記受信トリガ信号Grとして出力するステップ前記受信トリガ信号Grとして前記受信部30に出力するステップと、予め、前記周波数データDfと前記送受信間の遅延時間Trとの関係を計算式や計算結果のテーブル形式でメモリ53aに記憶するステップと、前記メモリ53aに記憶されている前記周波数データと前記送受信間の遅延時間Trとの関係に基づいて、前記可変周期パルスを発生するステップで用いられる前記ダイレクトデジタルシンセサイザ41aへの前記周波数データDfを可変することにより、前記送信トリガ

信号G_tに対する前記受信トリガ信号G_rの遅延時間を任意に可変できるようにするステップとを有している。

[0158] (第2の実施の形態)

図13は、本発明による短パルスレーダの第2の実施形態の要部の構成としてトリガ信号発生部40の具体的な構成を示すブロック図である。

[0159] 図13において、図7に示した第1の実施形態によるトリガ信号発生部40と同一の構成部分については、同一の参照符号を付してそれらの説明を省略するものとする。

[0160] 上記第1の実施形態では、送信タイミングから受信タイミングまでの遅延時間の最小値を0にするために固定遅延回路43を設けるようにしている。

[0161] しかるに、探査範囲のうちごく近距離の領域の探査が不要な場合、図13に示すように、固定遅延回路43を省略して、第1パルス発生回路42から出力される第1パルスP1を送信トリガパルスG_tとして用いることもできる。

[0162] このように固定遅延回路43を省略すれば、固定遅延回路43の温度依存性に起因して生じる遅延時間の誤差の影響を無くすることができるので、短パルスレーダとしてさらに高精度な探査が可能となる。

[0163] そして、前述した図1の構成と図13の構成とを合わせてなる本発明に係る短パルスレーダ20は、基本的には、送信トリガ信号G_tを受ける毎に、所定幅の短パルス波P_tを空間1へ放射する送信部21と、受信トリガ信号G_rを受けて、前記短パルス波P_tの反射波P_rに対する受信検波処理を行う受信部30と、探査指示に基づいて外部から指定される周波数データD_fに対応した周波数の信号を出力するダイレクトデジタルシンセサイザ41aを含み、前記周波数データD_fに応じて周期が変化する可変周期パルスを発生する可変周期パルス発生器41と、前記可変周期パルス発生器41によって発生される前記可変周期パルスを受けて、前記可変周期パルスのレベルが最初に所定方向に遷移するタイミングを基準タイミングとし、該基準タイミングにレベルが所定方向に遷移する第1パルスを前記送信トリガ信号G_tとして出力する第1パルス発生回路42と、前記可変周期パルス発生器41によって発生される前記可変周期パルスを受けて、前記基準タイミング後に、前記可変周期パルスのレベルが前記最初の所定方向と逆に遷移したタイミングにレベルが所定方向に遷移する第2パルスを前記

受信トリガ信号Grとして出力する第2パルス発生回路44と、前記可変周期パルス発生器41と前記第1パルス発生回路42と前記第2パルス発生回路44とを含み、前記可変周期パルス発生器41が前記探索指示を受ける毎に、前記第1パルス発生回路42から前記送信部21に対して前記送信トリガ信号Gtを出力すると共に、送受信間の遅延時間Trを与えるために、該送信トリガ信号Gtに対して任意の時間遅延した信号を前記第2パルス発生回路44から前記受信トリガ信号Grとして前記受信部30に出力するトリガ信号発生部40と、予め、前記周波数データDfと前記送受信間の遅延時間Trとの関係が計算式や計算結果のテーブル形式で記憶されているメモリ53aを含み、該メモリ53aに記憶されている前記周波数データDfと前記送受信間の遅延時間Trとの関係に基づいて、前記可変周期パルス発生器41の前記ダイレクトデジタルシンセサイザ41aへの前記周波数データDfを可変することにより、前記送信トリガ信号Gtに対する前記受信トリガ信号Grの遅延時間を任意に可変できるようにする周波数データ可変部54とを有している。

- [0164] また、前述した図1の構成と図13の構成とを合わせてなる本発明に係る短パルスレーダの制御方法は、基本的には、送信部21及び受信部30を準備するステップと、前記送信部21によって、送信トリガ信号Gtを受ける毎に、所定幅の短パルス波Ptを空間1へ放射するステップと、前記受信部30によって、受信トリガ信号Grを受けて、前記短パルス波Ptの反射波Prに対する受信検波処理を行うステップと、探索指示にもとづいて、外部から指定される周波数データDfに対応した周波数の信号を出力するダイレクトデジタルシンセサイザ41aを用いて、前記周波数データに応じて周期が変化する可変周期パルスを発生するステップと、前記可変周期パルスのレベルが最初に所定方向に遷移するタイミングを基準タイミングとし、該基準タイミングにレベルが所定方向に遷移する第1パルスを前記送信トリガ信号Gtとして出力するステップと、前記基準タイミング後に、前記可変周期パルスのレベルが前記最初の所定方向と逆に遷移したタイミングにレベルが所定方向に遷移する第2パルスを前記受信トリガ信号Grとして出力するステップと、前記可変周期パルスを発生するステップと前記第1パルスを前記送信トリガ信号Gtとして出力するステップと前記第2パルスを前記受信トリガ信号Grとして出力するステップとを含み、前記可変周期パルスを発生するス

ステップにおいて前記探査指示を受ける毎に、前記第1パルスを前記送信トリガ信号 G_t として出力するステップにおいて前記送信部21に対して前記送信トリガ信号 G_t を出力すると共に、送受信間の遅延時間 T_r を与えるために、該送信トリガ信号 G_t に対して任意の時間遅延した信号を前記第2パルスを前記受信トリガ信号 G_r として出力するステップにおいて前記受信トリガ信号 G_r として前記受信部30に出力するステップと、予め、前記周波数データ D_f と前記送受信間の遅延時間 T_r との関係を計算式や計算結果のテーブル形式でメモリ53aに記憶するステップと、前記メモリ53aに記憶されている前記周波数データ D_f と前記送受信間の遅延時間 T_r との関係に基づいて、前記可変周期パルスを発生するステップで用いられる前記ダイレクトデジタルシンセサイザ41aへの前記周波数データ D_f を可変することにより、前記送信トリガ信号 G_t に対する前記受信トリガ信号 G_r の遅延時間を任意に可変できるようにするステップとを有している。

- [0165] したがって、以上のような本発明によれば、従来技術による問題点を解決して、UWBで使用可能な簡単な構成、低消費電力で且つ送受信間の遅延時間を高い時間分解能で任意に可変できるようにした短パルスレーダ及びその制御方法を提供することができる。

請求の範囲

- [1] 送信トリガ信号を受ける毎に、所定幅の短パルス波を空間へ放射する送信部と、
受信トリガ信号を受けて、前記短パルス波の反射波に対する受信検波処理を行う
受信部と、
外部から指定される周波数データに対応した周波数の信号を出力するダイレクトデ
ジタルシンセサイザを含み、前記周波数データに応じて周期が変化する可変周期パ
ルスが発生する可変周期パルス発生器と、
前記可変周期パルス発生器によって発生される前記可変周期パルスを受けて、探
査指示が入力されてから、前記可変周期パルスのレベルが最初に所定方向に遷移
するタイミングを基準タイミングとし、該基準タイミングにレベルが所定方向に遷移す
る第1パルスを前記送信トリガ信号として出力する第1パルス発生回路と、
前記可変周期パルス発生器によって発生される前記可変周期パルスを受けて、前
記基準タイミング後に、前記可変周期パルスのレベルが前記最初の所定方向と逆に
遷移したタイミングにレベルが所定方向に遷移する第2パルスを前記受信トリガ信号
として出力する第2パルス発生回路と、
前記可変周期パルス発生器と、前記第1パルス発生回路と、前記第2パルス発生
回路とを含み、前記可変周期パルス発生器が前記探索指示を受ける毎に、前記第1
パルス発生回路から前記送信部に対して前記送信トリガ信号を出力すると共に、送
受信間の遅延時間を与えるために、該送信トリガ信号に対して任意の時間遅延した
信号を前記第2パルス発生回路から前記受信トリガ信号として前記受信部に出力す
るトリガ信号発生部と、
予め、前記周波数データと前記送受信間の遅延時間との関係が計算式や計算結
果のテーブル形式で記憶されているメモリを含み、該メモリに記憶されている前記周
波数データと前記送受信間の遅延時間との関係に基づいて、前記可変周期パルス
発生器の前記ダイレクトデジタルシンセサイザへの前記周波数データを可変すること
により、前記送信トリガ信号に対する前記受信トリガ信号の遅延時間を任意に可変で
きるようにする周波数データ可変部と、
を具備する短パルスレーダ。

- [2] 前記第1パルス発生回路からの第1パルスに固定時間の遅延を与えて前記送信トリガ信号として出力する固定遅延回路を有し、
前記第2パルス発生回路は、前記可変周期パルス発生器によって発生される前記可変周期パルスを受けて、前記基準タイミングから、前記可変周期パルスの周期の1/2の整数倍に等しく、且つ前記固定時間よりも長い時間が経過したタイミングにおいて前記受信トリガ信号を出力することを特徴とする請求項1に記載の短パルスレーダ。
- [3] 前記受信部は、
前記送信部によって前記空間に放射された前記短パルス波の前記反射波の信号を第1及び第2の信号に同相分岐する分岐回路と、
前記分岐回路によって同相分岐された前記第1及び第2の信号同士を線形乗算する線形乗算器と、
前記線形乗算器からの出力信号からベースバンド成分を抽出する低域通過フィルタとによって構成されている検波回路を有し、
前記短パルスレーダは、
前記受信部からの出力に基づいて、前記空間に存在する物体の解析処理を行う信号処理部と、
前記信号処理部からの解析結果に基づいて、前記送信部及び前記受信部の少なくとも一方に対して所定の制御を行う制御部と、
をさらに具備することを特徴とする請求項1に記載の短パルスレーダ。
- [4] 前記検波回路の前記線形乗算器がギルバートミキサで構成されていることを特徴とする請求項3に記載の短パルスレーダ。
- [5] 前記受信部は、前記検波回路の出力信号に対する積分を行って、その積分結果を保持出力するサンプルホールド回路を有していることを特徴とする請求項3に記載の短パルスレーダ。
- [6] 前記制御部が、前記サンプルホールド回路の積分開始タイミング及び積分時間を前記信号処理部からの処理結果に基づいて可変制御することを特徴とする請求項5に記載の短パルスレーダ。

- [7] 前記送信部には、前記短パルス波を増幅する電力増幅器が設けられていると共に、
前記受信部には、前記反射波の信号を増幅する低雑音増幅器が設けられており、
前記制御部は、前記受信部において、前記検波回路に入力される前記反射波の
信号のレベルが前記線形乗算器の線形動作範囲内となるように、前記送信部に設け
られる前記電力増幅器と前記受信部に設けられる前記低雑音増幅器との少なくとも
一方の利得を制御することを特徴とする請求項3に記載の短パルスレーダ。
- [8] 前記送信部には、所定幅のパルス信号を発生するパルス発生器と、該パルス発生
器からの前記パルス信号が入力されている期間だけ発振動作して前記短パルス波と
しての出力信号を出力し、前記パルス信号が入力されていない期間は発振動作を停
止する発振器とが設けられていることを特徴とする請求項1に記載の短パルスレーダ
。
- [9] 送信トリガ信号を受ける毎に、所定幅の短パルス波を空間へ放射する送信部と、
受信トリガ信号を受けて、前記短パルス波の反射波に対する受信検波処理を行う
受信部と、
探査指示に基づいて、外部から指定される周波数データに対応した周波数の信号
を出力するダイレクトデジタルシンセサイザを含み、前記周波数データに応じて周期
が変化する可変周期パルスが発生する可変周期パルス発生器と、
前記可変周期パルス発生器によって発生される前記可変周期パルスを受けて、前
記可変周期パルスの立ち上がりまたは立ち下りのタイミングを基準タイミングとし、
該基準タイミングから第1パルスを出力する第1パルス発生回路と、
前記第1パルス発生回路からの第1パルスに固定時間の遅延を与えて前記送信トリ
ガ信号として出力する固定遅延回路と、
前記可変周期パルス発生器によって発生される前記可変周期パルスを受けて、前
記基準タイミングから、前記可変周期パルスの周期の $1/2$ の整数倍に等しく、且つ
前記固定時間より長い時間が経過したタイミングに前記受信トリガ信号を出力する第
2パルス発生回路と、
前記可変周期パルス発生器と、前記第1パルス発生回路と、前記固定遅延回路と、
前記第2パルス発生回路とを含み、前記可変周期パルス発生器が前記探査指示を

受ける毎に、前記固定遅延回路から前記送信部に対して前記送信トリガ信号を出力すると共に、送受信間の遅延時間を与えるために、該送信トリガ信号に対して任意の時間遅延した信号を前記第2パルス発生回路から前記受信トリガ信号として前記受信部に出力するトリガ信号発生部と、

予め、前記周波数データと前記送受信間の遅延時間との関係が計算式や計算結果のテーブル形式で記憶されているメモリを含み、該メモリに記憶されている前記周波数データと前記送受信間の遅延時間との関係に基づいて、前記可変周期パルス発生器の前記ダイレクトデジタルシンセサイザへの前記周波数データを可変することにより、前記送信トリガ信号に対する前記受信トリガ信号の遅延時間を任意に可変できるようにする周波数データ可変部と、

を具備する短パルスレーダ。

[10] 前記第1パルス発生回路は、前記可変周期パルス発生器によって発生される前記可変周期パルスを受けて、前記基準タイミングからレベルが立ち上がる第1パルスを出力し、

前記第2パルス発生回路は、前記可変周期パルス発生器によって発生される前記可変周期パルスを受けて、前記基準タイミングから、前記可変周期パルスの周期の1/2の整数倍に等しく、且つ前記固定時間よりも長い時間が経過したタイミングにレベルが立ち上がる信号を前記受信トリガ信号として出力することを特徴とする請求項9に記載の短パルスレーダ。

[11] 前記受信部は、

前記送信部によって前記空間に放射された前記短パルス波の前記反射波の信号を第1及び第2の信号に同相分岐する分岐回路と、

前記分岐回路によって同相分岐された前記第1及び第2の信号同士を線形乗算する線形乗算器と、

前記線形乗算器からの出力信号からベースバンド成分を抽出する低域通過フィルタとによって構成されている検波回路を有し、

前記短パルスレーダは、

前記受信部からの出力に基づいて、前記空間に存在する物体の解析処理を行う信

号処理部と、

前記信号処理部からの解析結果に基づいて、前記送信部及び前記受信部の少なくとも一方に対して所定の制御を行う制御部と、

をさらに具備することを特徴とする請求項9に記載の短パルスレーダ。

[12] 前記検波回路の前記線形乗算器がギルバートミキサで構成されていることを特徴とする請求項11に記載の短パルスレーダ。

[13] 前記受信部は、前記検波回路の出力信号に対する積分を有し、その積分結果を保持出力するサンプルホールド回路を有していることを特徴とする請求項11に記載の短パルスレーダ。

[14] 前記制御部が、前記サンプルホールド回路の積分開始タイミング及び積分時間を前記信号処理部からの処理結果に基づいて可変制御することを特徴とする請求項13に記載の短パルスレーダ。

[15] 前記送信部には、前記短パルス波を増幅する電力増幅器が設けられていると共に、

前記受信部には、前記反射波の信号を増幅する低雑音増幅器が設けられており、

前記制御部は、前記受信部において、前記検波回路に入力される前記反射波の信号のレベルが前記線形乗算器の線形動作範囲内となるように、前記送信部に設けられる前記電力増幅器と前記受信部に設けられる前記低雑音増幅器との少なくとも一方の利得を制御することを特徴とする請求項11に記載の短パルスレーダ。

[16] 前記送信部には、所定幅のパルス信号を発生するパルス発生器と、該パルス発生器からの前記パルス信号が入力されている期間だけ発振動作して前記短パルス波としての出力信号を出力し、前記パルス信号が入力されていない期間は発振動作を停止する発振器とが設けられていることを特徴とする請求項9に記載の短パルスレーダ。

[17] 送信部及び受信部を準備するステップと、

前記送信部によって、送信トリガ信号を受ける毎に、所定幅の短パルス波を空間へ放射するステップと、

前記受信部によって、受信トリガ信号を受けて、前記短パルス波の反射波に対する

受信検波処理を行うステップと、

探査指示に基づいて、外部から指定される周波数データに対応した周波数の信号を出力するダイレクトデジタルシンセサイザを用いて、前記周波数データに応じて周期が変化する可変周期パルスが発生するステップと、

前記可変周期パルスのレベルが最初に所定方向に遷移するタイミングを基準タイミングとし、該基準タイミングにレベルが所定方向に遷移する第1パルスを前記送信トリガ信号として出力するステップと、

前記基準タイミング後、前記可変周期パルスのレベルが前記最初の所定方向と逆に遷移したタイミングにレベルが所定方向に遷移する第2パルスを前記受信トリガ信号として出力するステップと、

前記可変周期パルスが発生するステップと、前記第1パルスを前記送信トリガ信号として出力するステップと、前記第2パルスを前記受信トリガ信号として出力するステップとを含み、前記可変周期パルスが発生するステップにおいて前記探査指示を受ける毎に、前記第1パルスを前記送信トリガ信号として出力するステップにおいて前記送信部に対して前記送信トリガ信号を出力すると共に、送受信間の遅延時間を与えるために、該送信トリガ信号に対して任意の時間遅延した信号を前記第2パルスを前記受信トリガ信号として出力するステップにおいて前記受信トリガ信号として前記受信部に出力するステップと、

予め、前記周波数データと前記送受信間の遅延時間との関係を計算式や計算結果のテーブル形式でメモリに記憶するステップと、

前記メモリに記憶されている前記周波数データと前記送受信間の遅延時間との関係に基づいて、前記可変周期パルスが発生するステップで用いられる前記ダイレクトデジタルシンセサイザへの前記周波数データを可変することにより、前記送信トリガ信号に対する前記受信トリガ信号の遅延時間を任意に可変できるようにするステップと、

を具備する短パルスレーダの制御方法。

- [18] 前記第1パルスを前記送信トリガ信号として出力するステップは、固定遅延回路により前記第1パルスに固定時間の遅延を与えるステップを有し、

前記第2パルスを前記受信トリガ信号として出力するステップは、前記基準タイミングから、前記可変周期パルスの周期の $1/2$ の整数倍に等しく、且つ前記固定時間よりも長い時間が経過したタイミングにおいて前記受信トリガ信号を出力することを特徴とする請求項17に記載の短パルスレーダの制御方法。

- [19] 前記受信検波処理を γ ステップは、
前記空間に放射された前記短パルス波の前記反射波の信号を前記受信部によって受信し、該反射波の信号を第1及び第2の信号に同相分岐するステップと、
前記第1及び第2の信号同士を線形乗算器によって線形乗算して線形乗算信号を出力するステップと、
前記線形乗算信号からベースバンド成分を抽出するステップと、
前記ベースバンド成分に基づいて、前記空間に存在する物体の解析処理を γ ステップと、
前記解析処理の結果に基づいて、前記送信部及び前記受信部の少なくとも一方に対して所定の制御を γ ステップと、
を具備することを特徴とする請求項17に記載の短パルスレーダの制御方法。
- [20] 前記線形乗算信号を出力するステップは、
前記線形乗算器としてギルバートミキサを用いて前記線形乗算信号を出力するための線形乗算を γ ステップを備えていることを特徴とする請求項19に記載の短パルスレーダの制御方法。
- [21] 前記解析処理を γ ステップの前で、前記ベースバンド成分に対する積分を γ と共に、その積分結果を保持出力するステップをさらに具備していることを特徴とする請求項19に記載の短パルスレーダの制御方法。
- [22] 前記ベースバンド成分に対する積分を γ ステップは、
前記ベースバンド成分に対する積分の開始タイミング及び積分時間を前記解析処理の結果に基づいて可変制御するステップを備えていることを特徴とする請求項21に記載の短パルスレーダの制御方法。
- [23] 前記送信部には、前記短パルス波を増幅する電力増幅器が設けられていると共に、

前記受信部には、前記反射波の信号を増幅する低雑音増幅器が設けられており、
前記所定の制御を要するステップは、

前記前記受信部において、前記反射波の信号のレベルが前記線形乗算器の線形動作範囲内となるように、前記送信部に設けられている前記電力増幅器と前記受信部に設けられている前記低雑音増幅器との少なくとも一方の利得を制御するステップを備えていることを特徴とする請求項19に記載の短パルスレーダの制御方法。

- [24] 前記送信部によって前記短パルス波を前記空間へ放射するステップは、
所定幅のパルス信号を発生するステップと、
前記パルス信号が入力されている期間だけ発振動作して前記短パルス波としての出力信号を出力するステップと、
前記パルス信号が入力されていない期間は発振動作を停止して前記短パルス波としての出力信号を出力しないようにするステップとを備えていることを特徴とする請求項17に記載の短パルスレーダの制御方法。

- [25] 送信部及び受信部を準備するステップと、
前記送信部によって、送信トリガ信号を受ける毎に、所定幅の短パルス波を空間へ放射するステップと、
前記受信部によって、受信トリガ信号を受けて、前記短パルス波の反射波に対する受信検波処理を行うステップと、
探査指示に基づいて、外部から指定される周波数データに対応した周波数の信号を出力するダイレクトデジタルシンセサイザを用いて、前記周波数データに応じて周期が変化する可変周期パルスが発生するステップと、
前記可変周期パルスの立ち上がりまたは立ち下りのタイミングを基準タイミングとし、該基準タイミングから第1パルスを出力するステップと、
前記第1パルスに固定時間の遅延を与えて前記送信トリガ信号として出力するステップと、
前記基準タイミングから、前記可変周期パルスの周期の $1/2$ の整数倍に等しく、且つ前記固定時間より長い時間が経過したタイミングにおいて前記受信トリガ信号を出力するステップと、

前記可変周期パルスを発生するステップと、前記第1パルスを出力するステップと、前記第1パルスに固定時間の遅延を与えて前記送信トリガ信号として出力するステップと、前記固定時間より長い時間が経過したタイミングにおいて前記受信トリガ信号として出力するステップとを含み、前記可変周期パルスが発生するステップにおいて前記探査指示を受ける毎に、前記前記第1パルスに固定時間の遅延を与えて前記送信トリガ信号として出力するステップにおいて前記送信部に対して前記送信トリガ信号を出力すると共に、送受信間の遅延時間を与えるために、該送信トリガ信号に対して任意の時間遅延した信号を前記固定時間より長い時間が経過したタイミングにおいて前記受信トリガ信号として出力するステップにおいて前記受信トリガ信号として前記受信部に出力するステップと、

予め、前記周波数データと前記送受信間の遅延時間との関係を計算式や計算結果のテーブル形式でメモリに記憶するステップと、

前記メモリに記憶されている前記周波数データと前記送受信間の遅延時間との関係に基づいて、前記可変周期パルスが発生するステップで用いられる前記ダイレクトデジタルシンセサイザへの前記周波数データを可変することにより、前記送信トリガ信号に対する前記受信トリガ信号の遅延時間を任意に可変できるようにするステップと、

を具備する短パルスレーダの制御方法。

- [26] 前記第1パルスが発生するステップは、前記基準タイミングからレベルが立ち上がる第1パルスを出力し、

前記固定時間より長い時間が経過したタイミングにおいて前記受信トリガ信号を出力するステップは、前記基準タイミングから、前記可変周期パルスの周期の $1/2$ の整数倍に等しく、且つ前記固定時間よりも長い時間が経過したタイミングにレベルが立ち上がる信号を前記受信トリガ信号として出力することを特徴とする請求項25に記載の短パルスレーダの制御方法。

- [27] 前記受信検波処理を伴うステップは、

前記空間に放射された前記短パルス波の前記反射波の信号を前記受信部によって受信し、該反射波の信号を第1及び第2の信号に同相分岐するステップと、

前記第1及び第2の信号同士を線形乗算器によって線形乗算して線形乗算信号を出力するステップと、

前記線形乗算信号からベースバンド成分を抽出するステップと、

前記ベースバンド成分に基づいて、前記空間に存在する物体の解析処理を行うステップと、

前記解析処理の結果に基づいて、前記送信部及び前記受信部の少なくとも一方に対して所定の制御を行うステップと、

を具備することを特徴とする請求項25に記載の短パルスレーダの制御方法。

[28] 前記線形乗算信号を出力するステップは、

前記線形乗算器としてギルバートミキサを用いて前記線形乗算信号を出力するための線形乗算を行うステップを備えていることを特徴とする請求項27に記載の短パルスレーダの制御方法。

[29] 前記解析処理を行うステップの前で、前記ベースバンド成分に対する積分を行うと共に、その積分結果を保持出力するステップをさらに具備していることを特徴とする請求項27に記載の短パルスレーダの制御方法。

[30] 前記ベースバンド成分に対する積分を行うステップは、

前記ベースバンド成分に対する積分の開始タイミング及び積分時間を前記解析処理の結果に基づいて可変制御するステップを備えていることを特徴とする請求項29に記載の短パルスレーダの制御方法。

[31] 前記送信部には、前記短パルス波を増幅する電力増幅器が設けられていると共に、

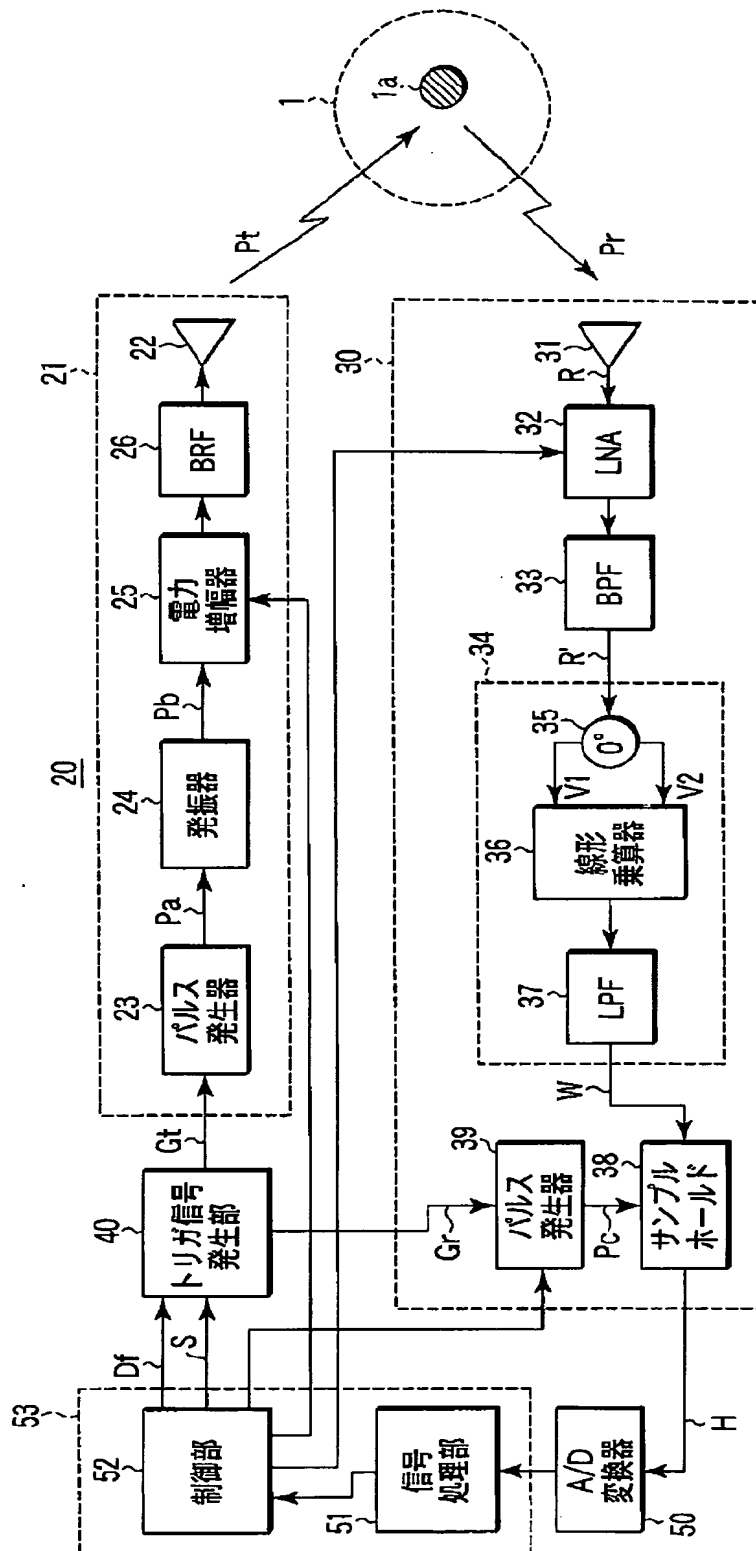
前記受信部には、前記反射波の信号を増幅する低雑音増幅器が設けられており、前記所定の制御を行うステップは、

前記前記受信部において、前記反射波の信号のレベルが前記線形乗算器の線形動作範囲内となるように、前記送信部に設けられている前記電力増幅器と前記受信部に設けられている前記低雑音増幅器との少なくとも一方の利得を制御するステップを備えていることを特徴とする請求項27に記載の短パルスレーダの制御方法。

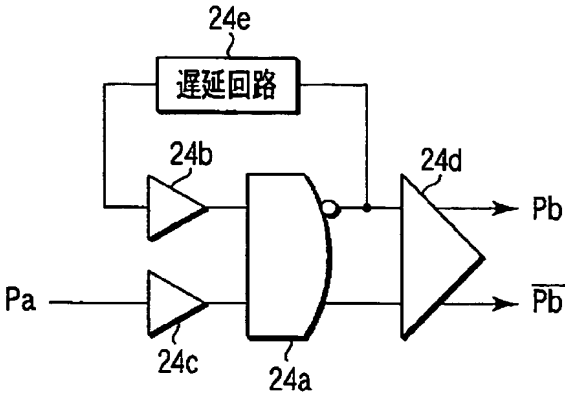
[32] 前記送信部によって前記短パルス波を前記空間へ放射するステップは、

所定幅のパルス信号を発生するステップと、
前記パルス信号が入力されている期間だけ発振動作して前記短パルス波としての出力信号を出力するステップと、
前記パルス信号が入力されていない期間は発振動作を停止して前記短パルス波としての出力信号を出力しないようにするステップとを備えていることを特徴とする請求項25に記載の短パルスレーダの制御方法。

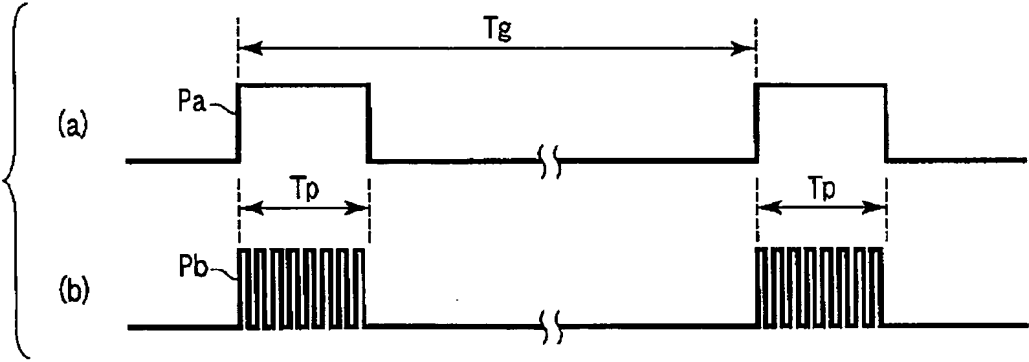
[図1]



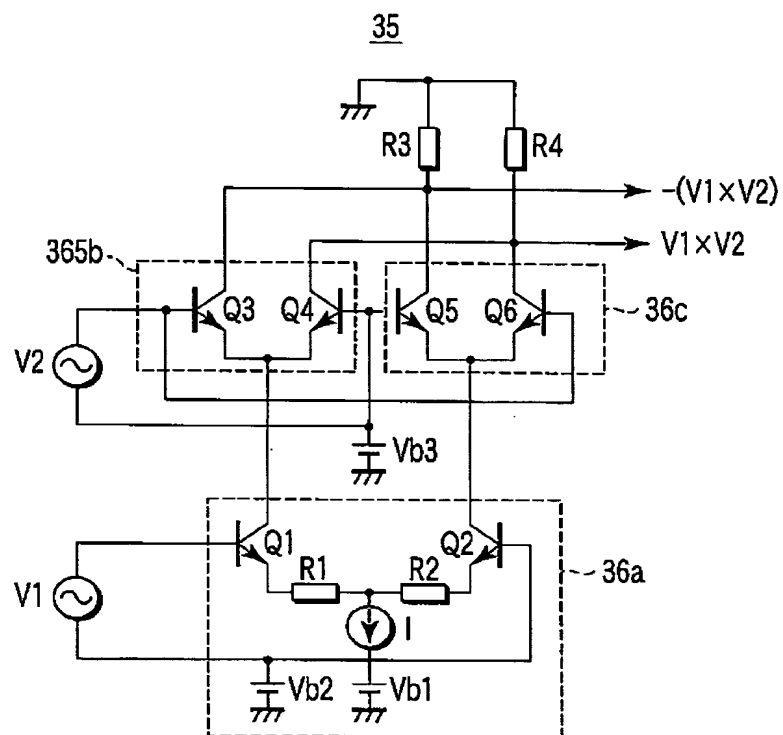
[図2]



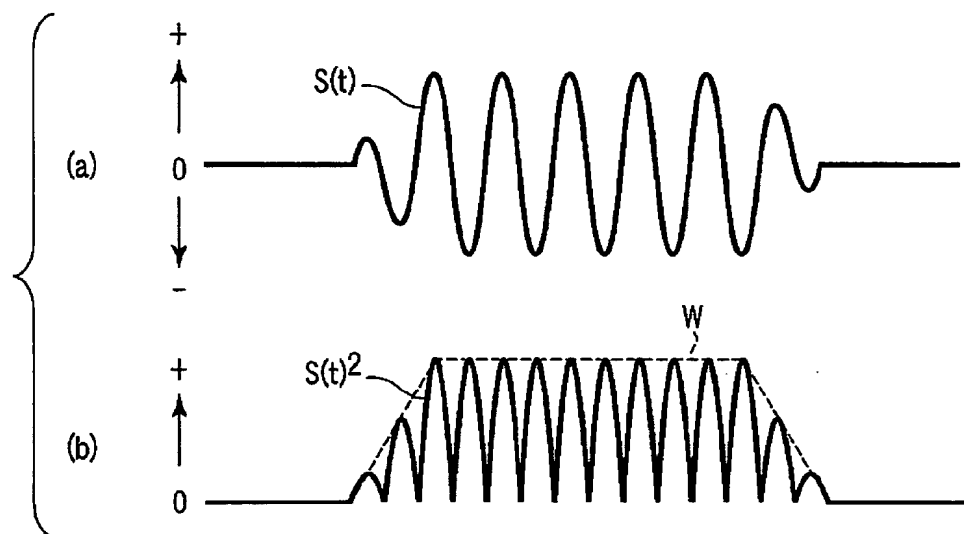
[図3]



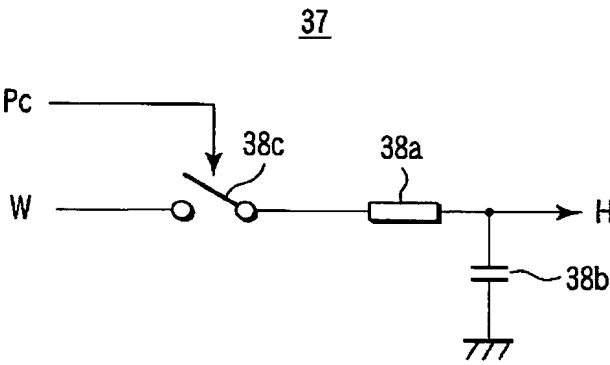
[図4]



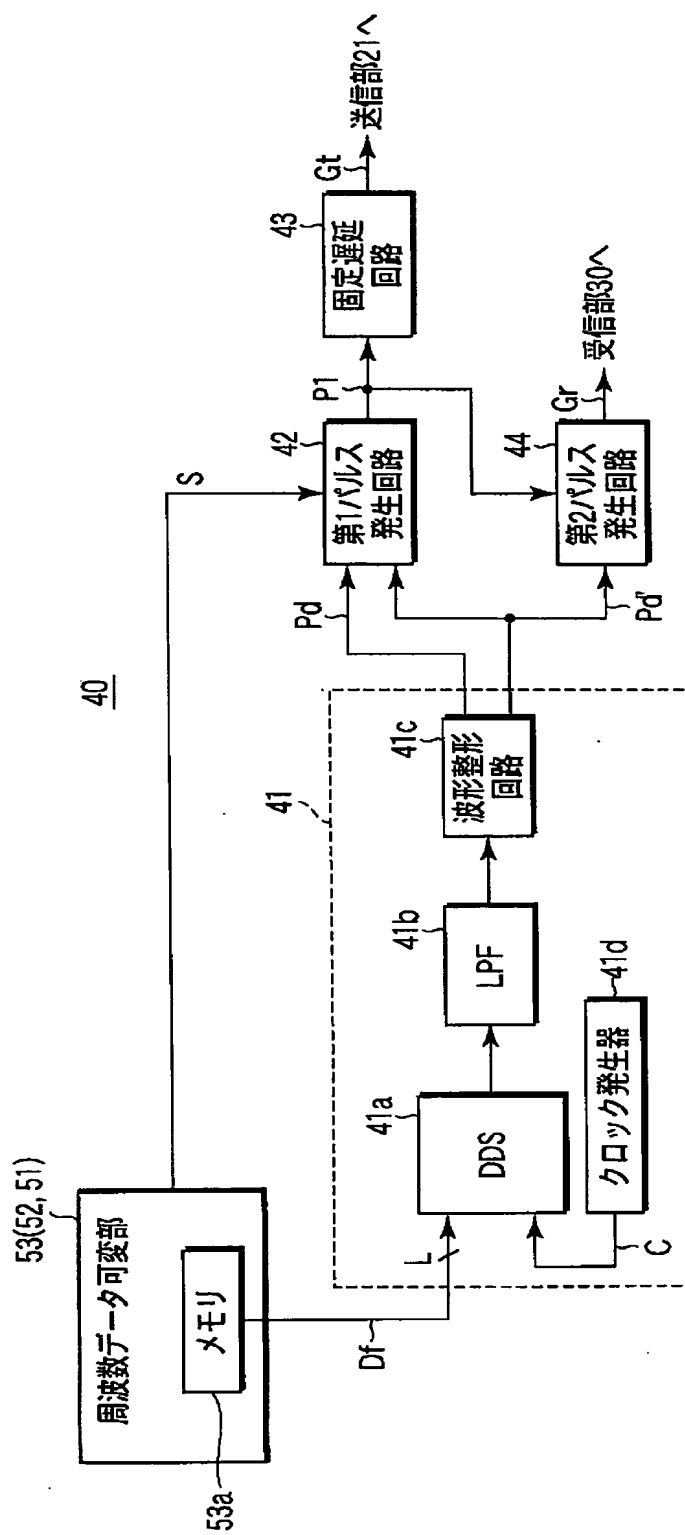
[図5]



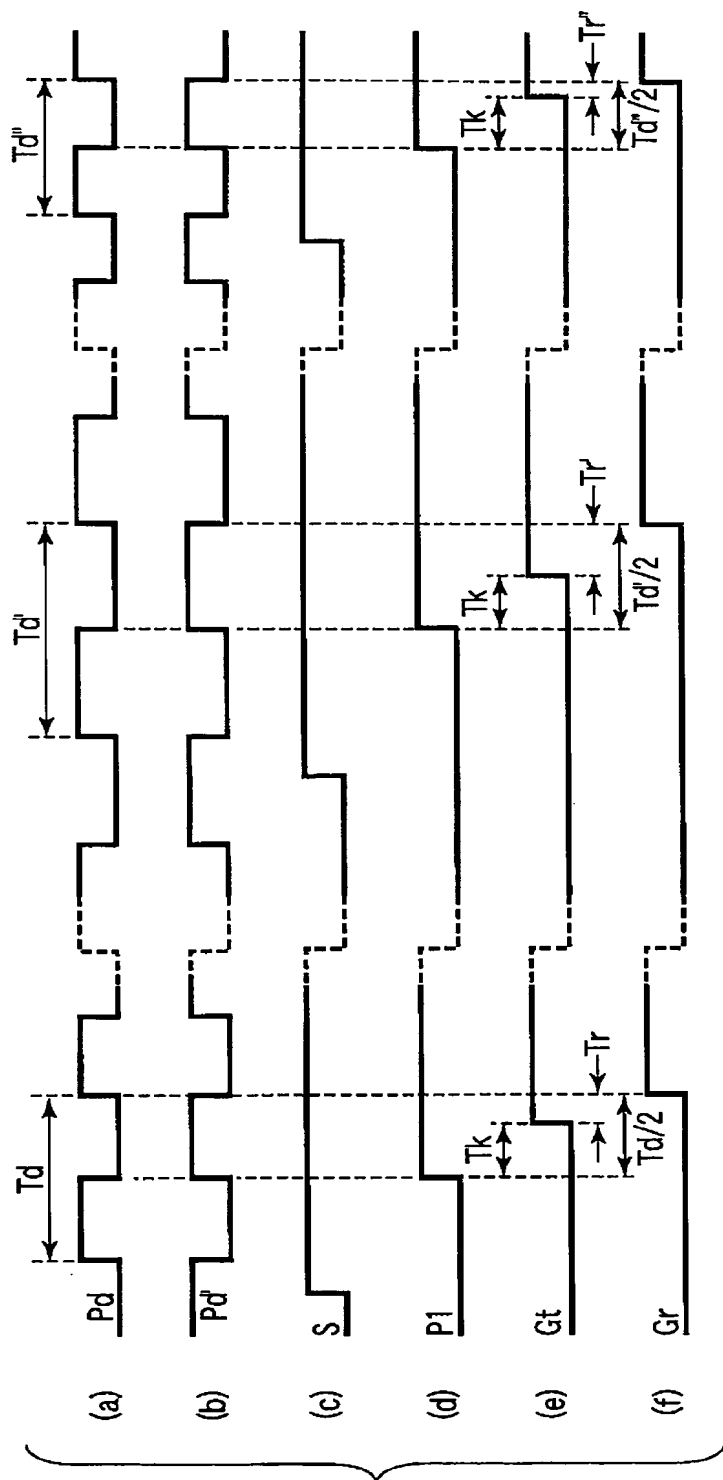
[図6]



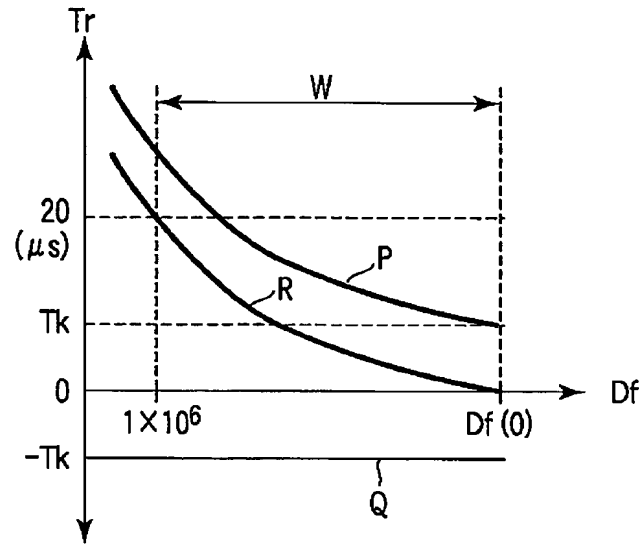
[図7]



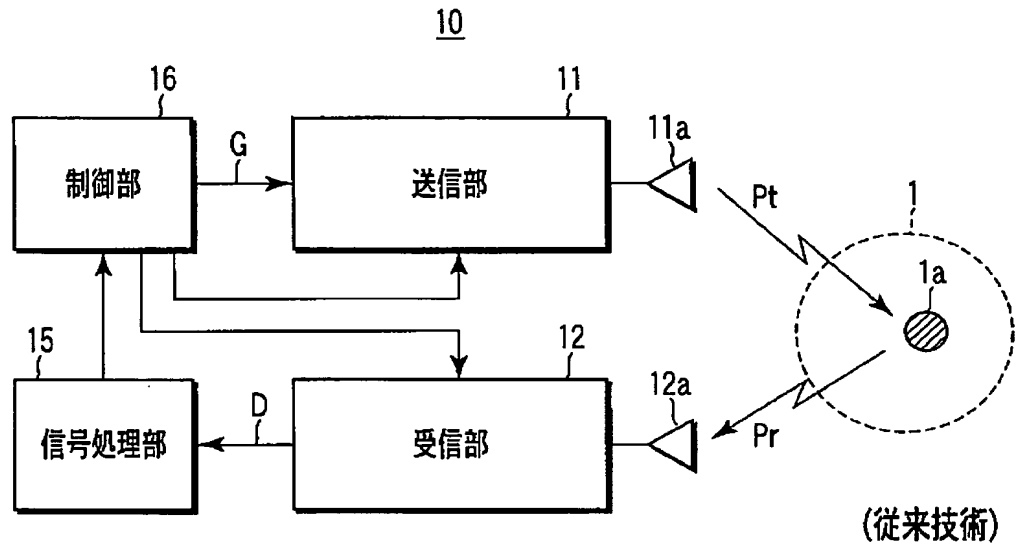
[図8]



[図9]

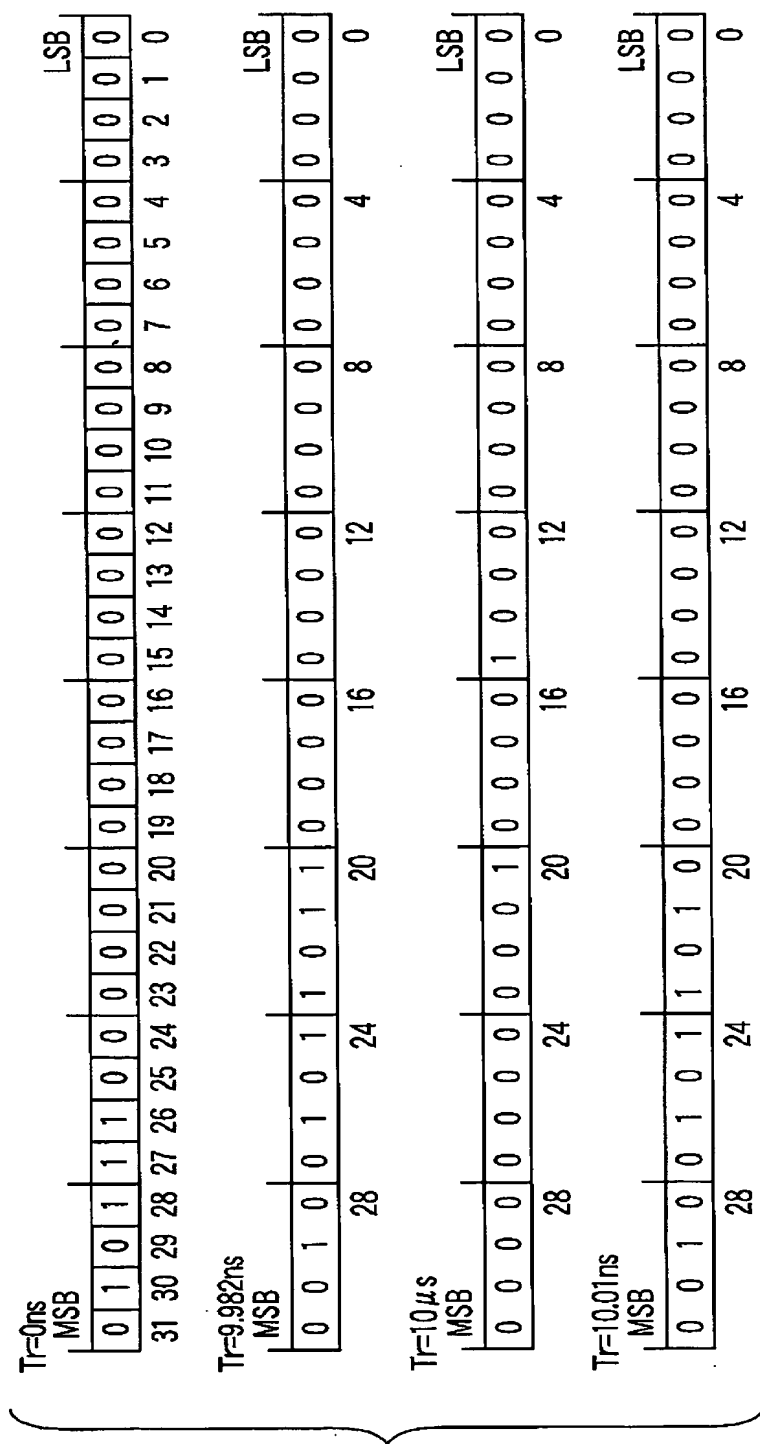


[図10]

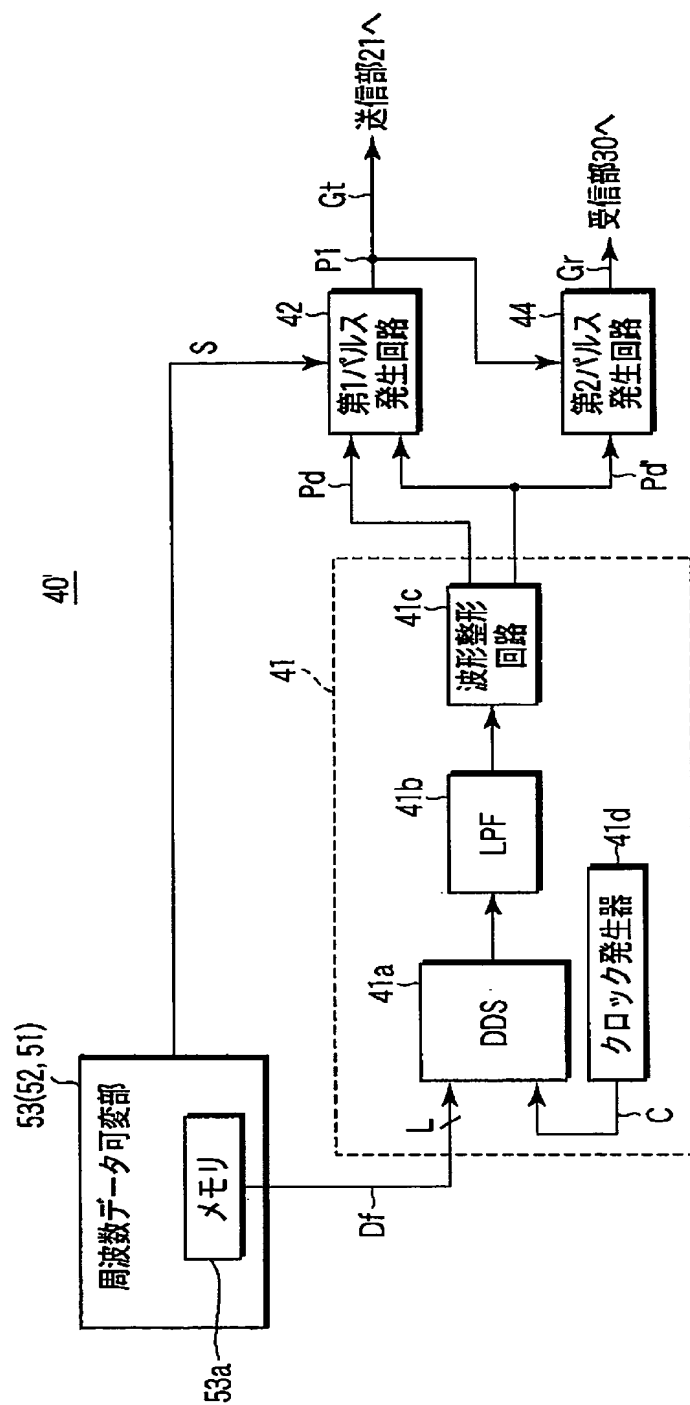


[図11]

Df	fd	Td	Tr
$23 \times 2^{26} \approx 1.54 \times 10^9$	71.875MHz	13.9ns	0ns
$603 \times 2^{20} \approx 6.32 \times 10^8$	29.443MHz	33.96ns	9.982ns
$33 \times 2^{15} \approx 1.08 \times 10^6$	50.35KHz	$20 \mu s$	$10 \mu s$
$602 \times 2^{20} \approx 6.31 \times 10^8$	29.395MHz	34.02ns	10.01ns



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/018662

A. CLASSIFICATION OF SUBJECT MATTER

G01S7/28 (2006.01), **G01S13/10** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum document search (classification system followed by classification symbols)

G01S7/28 (2006.01), **G01S13/10** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo	Shinan	Koho	1922-1996	Jitsuyo	Shinan	Toroku	Koho	1996-2005
Kokai	Jitsuyo	Shinan	Koho	1971-2005	Toroku	Jitsuyo	Shinan	Koho
								1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
IEEE

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-0139846 A (Mitsubishi Electric Corp.), 14 May, 2003 (14.05.03), Full text & US 2003/0085834 A1	1-32
A	Ian GRESHAM and Alan JENKINS, 'A low-noise broadband SiGe mixer for 24GHz ultra-wideband automotive applications', Radio and Wireless Conference, 2003. RAWCON' 03. Proceedings 10-13 Aug. 2003, pages 361 to 364	3-7, 11-15, 19-23, 27-31
A	JP 5-312938 A (Ikuo ARAI), 26 November, 1993 (26.11.93), Full text (Family: none)	1-32

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 November, 2005 (01.11.05)Date of mailing of the international search report
15 November, 2005 (15.11.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JP2005/018662

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ CCIS²⁸ (2006. 01) G01S13/10 (2006. 01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ CCIS²⁸ (2006. 01) G01S13/10 (2006. 01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	192	2-1996	年
日本国公開実用新案公報	1971-2005		年
日本国実用新案登録公報	1996-2005		年
日本国登録実用新案公報	199	4-2005	年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

IEEE

C. 関連すると認められる文献

引用文献の カテゴリー ^ホ	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2 0 0 3 - 1 3 9 8 4 6 A (三菱電機株式会社) 2 0 0 3 . O 5 . 1 4 , 全文	1 - 3 2
A	6 U S 2 0 0 3 / 0 0 8 5 8 3 4 A 1	
A	Ian GRESHAM and Alan JENKINS 'A low-noise broadband SiGe mixer for 24GHz ultra-wideband automotive applications' Radio and Wireless Conference, 2003. RAWCON '03. Proceedings 10-13 Aug. 2003 Page (s): 361 - 364.	3 - 7 , 1 1 - 1 5 , 1 9 - 2 3 , 2 7 - 3 1
A	J P 5 - 3 1 2 9 3 8 A (荒井 郁男) 1 9 9 3 . 1 1 . 2 6 , 全文 (ファミリーなし)	1 - 3 2

※ C欄の続きにも文献が列挙されている。

湖 パテントファミリーに関する別紙を参照。

※ 引用文献のカテゴリー

- IAJ 特に関連のある文献ではなく、一般的技術水準を示すもの
- IEJ 国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
- ILJ 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- IOJ 口頭による開示、使用、展示等に言及する文献
- IPJ 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- ITJ 国際出願日又は優先日後に公表された文献であって出願と矛盾するものでなく、発明の原理又は理論の理解のために引用するもの
- IXJ 特に関連のある文献であって、当議文献のみで発明の新規性又は進歩性がないと考えられるもの
- IYJ 特に関連のある文献であって、当議文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- I&J 同一パテントファミリー文献

国際調査を完了した日

0 1 . 1 1 . 2 0 0 5

国際調査報告の発送日

1 5 . 1 1 . 2 0 0 5

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宮川 哲伸

電話番号 03-3581-1101 内線 3258

2S

3710